

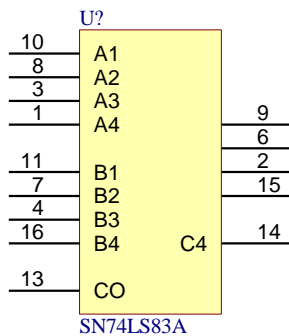
APELLIDOS : _____
NOMBRE: _____ D.N.I.: _____

NOTAS:

- ALUMNOS CON PRIMER PARCIAL EJERCICIOS 1 Y 2
- ALUMNOS CON SEGUNDO PARCIAL EJERCICIOS 3 Y 4
- ALUMNOS CON TODO EJERCICIOS 2 Y 3.

?? LEER ATENTAMENTE EL ENUNCIADO.
?? RAZONAR CADA UNA DE LAS DECISIONES ADOPTADAS TANTO EN EL HW COMO EN EL SW.
?? CUIDAR LA PRESENTACIÓN EVITANDO ESQUEMAS ININTELIGIBLES Y LETRA INDESCIFRABLE.
?? UTILIZAR PARA EL DISEÑO LOS CRITERIOS DE INGENIERÍA (MÁXIMA EFICIENCIA, MÍNIMO COSTO).
?? UTILIZAR COMENTARIOS EN LA ELABORACIÓN DEL CÓDIGO SW.

P1. (5 puntos) Diseñar un circuito sumador/restador de 8 bits (7 bits más otro de signo) mediante el convenio de complemento a dos, utilizando para ello cuádruples sumadores totales del tipo 7483, así como los operadores lógicos necesarios.



El circuito ha de disponer de una entrada de control S/R que permita en cada momento la selección de la operación que se quiera realizar (suma o resta). El circuito dispondrá asimismo de una salida que indique el rebose u overflow de la operación.

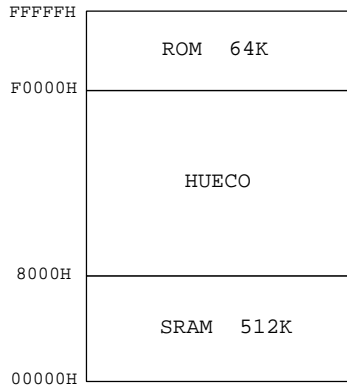
P2. (5 puntos) Realizar la síntesis del circuito lógico de control del motor de un montacargas, de acuerdo con las siguientes especificaciones:

- ? ? Si el interruptor A está desactivado, el circuito lógico ha de inhibir el arranque del motor.
- ? ? Si el interruptor A está activado:
 - Al pulsar B el motor debe girar a la izquierda y seguirá girando cuando se suelte.
 - Al pulsar C el motor debe girar a la derecha y seguirá girando cuando se suelte.
 - Si B y C son pulsados simultáneamente, el motor girará a la izquierda.

Cualquier otra secuencia o pulsación se debe ignorar. En el estado inicial, el motor se encuentra parado y no hay ninguna entrada activada. Utilizar para ello el mínimo número de biestables D activados en el flanco ascendente de la señal de reloj así como las puertas lógicas adecuadas.

P3. (5 puntos) Un sistema basado en el microprocesador 8086 funcionando a 8MHz en modo mínimo dispone de una unidad de E/S realizada mediante 4 interfaces paralelo 8255 y dos interfaces serie 82050. Una de las interfaces serie se emplea para la impresora serie y la otra para comunicar con una consola con formato de 8 bits, con paridad y un bit de parada. La interrupción de esta interfaz serie se gestiona en modo VECTORIZADO.

El sistema dispone 512Kb de RAM y 64Kb de ROM de un mapa de memoria como el especificado en el dibujo siguiente.



Este mapa se realiza mediante memorias SRAM estándar de 128Kx8 y mediante EPROM de 32Kx8.

- a) Diseñar la circuitería lógica necesaria para generar todas las señales de control de las memorias RAM y ROM.
- b) Especificar textualmente la circuitería lógica necesaria para generar las señales de habilitación (/CS) de los dispositivos periféricos situados a partir de la dirección de E/S 0AF0H y especificar el interfaz hardware/software.
- c) Diseñar la circuitería lógica necesaria para volcar en el momento adecuado del ciclo INTA el número de interrupción asignado a la consola hacia la CPU. Este número de interrupción debe ser programable mediante la escritura al puerto 00FCH de E/S. El procesador debe ser capaz de atender también al resto de periféricos que vuelcan su propio número de interrupción.
- d) ¿ Cuanto tiempo tiene el procesador para retirar el dato del registro de dato del controlador de consola 82050 una vez recibido éste ?

P4. (5 puntos) La siguiente rutina realiza la multiplicación de dos números de dos dígitos en BCD empaquetado:

```
BCDMUL1    PROC
            MOV     AX, NUM1           ; Carga el primer número BCD
            CALL    TOBINARY          ; lo convierte a binario
            MOV     BX, AX             ; salvar resultado aquí
            MOV     AX, NUM2           ; Carga el segundo número BCD
            CALL    TOBINARY          ; y lo convierte a binario
            IMUL    BX                 ; realiza el producto con signo
                                           ; DX:AX <- BX*AX
            CALL    TOBCD              ; convierte resultado a BCD
            RET
BCDMUL1    ENDP
```

- a) Dibuja el organigrama del proceso de multiplicación de dos números BCD.
- b) Si el contenido de NUM1 es 23H y NUM2 es 10H, cual es el contenido de AX, BX y DX tras la instrucción IMUL BX.
- c) Realiza las cabeceras de las rutinas BCDMUL1, TOBINARY y TOBCD que especifican la función, los valores de entrada y salida a la rutina y los registros que modifica. Tener en cuenta que el resultado de la multiplicación puede ser mayor de 128 o menor de -128.

- d) Codifica la rutina TOBINARY cuya función es convertir el número BCD de entrada a binario realizando previamente su organigrama.