

Escuela Politécnica Superior  
Universidad de Huelva

Departamento de Ingeniería Electrónica, de Sistemas Informáticos y  
Automática

*INGENIERÍA TÉCNICA INDUSTRIAL*

ELECTRÓNICA DIGITAL

RELACIÓN DE PROBLEMAS II  
(Tema 2)

Manuel Sánchez Raya

Huelva, Enero de 1998

**MAQUINAS DE ESTADOS**

1.- Se desea controlar dos bombas B1 y B2 que vierten líquido a un depósito, de acuerdo con el nivel de líquido existente en él. El depósito depende de dos sensores, d arriba y c abajo, que se activan al detectar líquido. Su funcionamiento ha de ser el siguiente:

- Cuando el nivel de líquido se encuentra comprendido entre los dos sensores "c" y "d" debe funcionar la bomba B1 o B2 de forma alternativa, es decir, una vez B1 y otra vez B2, y se parará cuando se active el sensor "d"(deposito lleno).
- Si el nivel de líquido se encuentra por debajo de "c" se deben activar ambas bombas. En caso de funcionamiento anormal de los sensores del depósito (se active "d" cuando no lo esté "c"), ambas bombas se pararán.
- Además, ambas bombas cuentan con sendos detectores de temperatura "a" y "b" para B1 y B2 respectivamente, de tal forma que si la temperatura de su motor supera un cierto limite, el detector se activará y la correspondiente bomba se parará.

Se pide diseñar el circuito de control completo, diagrama de estados, reducción de estados, diagrama transición-estado y diagrama del circuito implementado mediante biestables J-K.

2.- Se desea diseñar el control del vaivén de un móvil, que cumpla las siguientes condiciones:

- a) Si el móvil se encuentra situado en el extremo izquierdo, pulsando "C", iniciará el movimiento hacia la derecha ( $Q_B$  activado), de forma que cuando llegue al extremo derecho presionará el final de carrera "B" y volverá automáticamente a la izquierda ( $Q_A$  activado), deteniéndose cuando active el final de carrera "A".
- b) Si el móvil se encuentra detenido en cualquier punto intermedio del recorrido (final de carrera "A" desactivado), pulsando "C" regresará al extremo izquierdo ( $Q_A$  activado) y se parará.
- c) Si el móvil se encuentra en movimiento, actuar sobre "C" no supondrá ningún cambio en el ciclo que esté realizando.
- d) Adicionalmente se dispondrá de una pulsador de emergencia "D" que detendrá el móvil.

Se pide:

- i) Diagrama de estado reducido.
- ii) Diagrama del circuito realizado mediante memoria ROM y contenido de esta.

3.- Para accionar un motor de c.a. se utilizan cuatro contactores, los cuales están controlados por otros tantos relés: Q1 (giro a izquierda), Q2 (giro a derecha), Q3 (conexión en estrella) y Q4 (conexión en triángulo). Dicho sistema va provisto de tres pulsadores "A", "B" y "C", de forma que pulsando "A" el motor debe girar a izquierdas y se debe conectar en estrella; pulsando "B" girará a derechas y se conectará en triángulo. Pulsando "C" el motor se ha de parar, y pulsando "A" y "B" simultáneamente éste ha de permanecer en el estado anterior.

Se pide el diagrama de estados y el circuito que implementa este diagrama. Emplear la construcción de la máquina de estados que se considere más idónea.

4.- Empleando un contador binario y operadores lógicos, diseñar un circuito divisor de frecuencia por 1001 veces la de entrada, es decir que cuando el circuito haya detectado 1001 pulsos a su entrada genere un pulso a la salida.

5.- Diseñar una pila LIFO (Last in, First Out: El último en entrar es el primero en salir) de cuatro posiciones que es capaz de guardar datos de cuatro bits cada uno. Las entradas apilar y desapilar serán activas durante un ciclo de reloj y se producirá un error cuando:

- Se activen al mismo tiempo apilar y desapilar.
- Se active apilar y la pila este llena.
- Se active desapilar y la pila esté vacía.

Se pide diagrama de estado del controlador, tabla de estado, diagrama lógico usando un registro y una PAL.

6.- Diseñar un dispositivo que permita visualizar el "turno" de espera en un establecimiento comercial mediante dos dígitos decimales. Dicho sistema debe ir provisto de un mecanismo que permita saltar uno o varios números sin que aparezcan visualizados, siempre que el vendedor así lo desee. Calcular el número de salidas registradas necesarias antes de comenzar el diseño. Seleccionar y usar el mínimo número de dispositivos secuenciales.

7.- Diseñar un contador síncrono ascendente/descendente de módulo 10, con entradas de precarga controladas por una señal de validación (L). El circuito ha de poseer también una entrada de puesta a cero (R) y de cuenta ascendente/descendente (U/D) ambas activas a nivel bajo. Emplear los biestables adecuados.

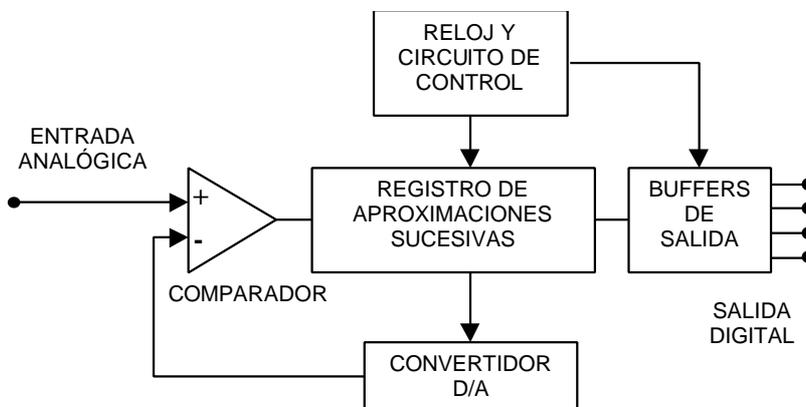
8.- Diseñar un dispositivo capaz de simular un dado digital. El dispositivo dispondrá de un display para poder visualizar el número seleccionado, además de un pulsador de reset (R) y otro de marcha (M), de tal forma que el número obtenido dependa del tiempo que esté actuando sobre este último. Emplear los dispositivos secuenciales más adecuados.

9.- Diseñar un dispositivo que genere la siguiente secuencia de salida: "101->100->110->010->011->001->101->...". Representar el cronograma correspondiente obtenido a la salida del circuito.

10.- El código JOHNSON de cuatro bits codifica números del 0 al 7 según la tabla adjunta. Diseñar un dispositivo que cuente de 0 a 7 en código Johnson en el flanco de bajada de la señal de reloj.

Decimal	Código Johnson			
	X3	X1	X1	X0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	1	1	1
4	1	1	1	1
5	1	1	1	0
6	1	1	0	0
7	1	0	0	0

11.- Diseñar un registro de aproximaciones sucesivas para un convertidor A/D:



El registro de aproximaciones sucesivas comienza poniendo a 1 el bit de más peso (MSB), quedando el resto a cero, o sea, forma el valor 1000..0, que corresponde a la mitad de la máxima

tensión de salida. Este valor es transformado a señal analógica,  $V_c$ , que a su vez se introduce al comparador.

Si la señal  $V_c$  es mayor que  $V_I$ , el comparador bascula dando lugar a una señal que hace que el registro varíe su contenido, sustituyendo el 1 del bit de más peso por un 0 y colocando en el bit de peso inmediatamente inferior un 1, quedando inalterado el resto de los bits (0100..0).

Si la señal  $V_c$  fuese menor que  $V_I$ , el registro no modificaría el bit de más peso, pero coloca el bit de peso inmediatamente inferior a 1, dejando a 0 el resto de los bits (1100..0). Tanto en un caso como en otro, se efectúa una nueva conversión.

Resolver el diseño del registro de aproximaciones sucesivas mediante los biestables y dispositivos secuenciales adecuados.

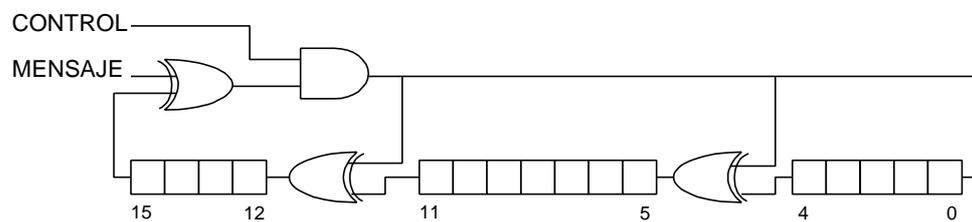
**12.-** Diseñar un contador binario de 8 bits U/D que se bloquee al llegar a la última cuenta y genere una señal. La señal RESET se emplea para inicializar a cero y desbloquear el contador.

**13.-** Por una línea (X) se reciben, sincronizados con los impulsos de reloj, que llegan por otra línea, bits pertenecientes a combinaciones binarias de ocho bits codificadas con paridad par. En el momento de llegar el octavo bit, la línea de salida (Z) debe indicar si se ha producido o no error en la transmisión (1=ERROR;0=NO ERROR) y el sistema ha de retornar al estado inicial. Diseñar el sistema que cumpla estas especificaciones con registros activados en el flanco ascendente de la señal de reloj y los operadores lógicos necesarios.

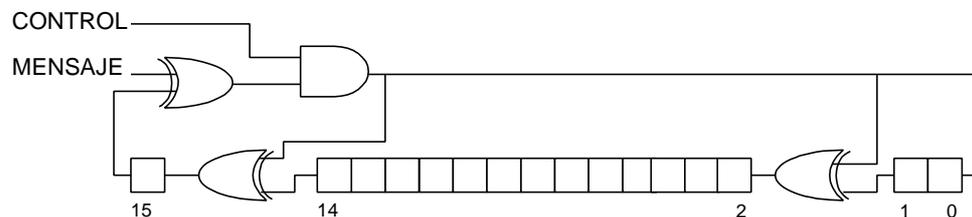
**14.-** Se desea controlar una puerta corredera, la cual puede moverse de izquierda a derecha y viceversa. Su recorrido está limitado por dos finales de carrera, uno en la parte izquierda (B) que se activará cuando la puerta esté completamente abierta y otro en la parte derecha (C) que indicará que está completamente cerrada. Inicialmente la puerta se encuentra cerrada y presionando sobre el final de carrera (C), de tal forma que actuando sobre un pulsador (A), ésta comenzará un ciclo de apertura moviéndose hacia la izquierda hasta que alcance el final de carrera (B). A partir de este momento, la puerta invertirá su movimiento, desplazándose hacia la derecha hasta estar completamente cerrada, es decir, hasta activar el final de carrera (C). Si por cualquier circunstancia se pulsa (A) durante el movimiento de la puerta, ésta no debe detenerse.

**15.-** Diseñar un detector de CRC de 16 bits. La comprobación de redundancia cíclica o CRC es un proceso de comprobación de errores por bloques. Consiste en la transmisión junto con los datos de un valor de comprobación CRC de 16 bits calculado por el transmisor. El receptor habrá de comparar el CRC recibido con el CRC que él mismo haya calculado. Si existen diferencias entre ambos CRCs es que se han producido errores en la transmisión.

Para la generación de CRC de 16 bits existen dos soluciones. El primero conocido como CRC-CCITT, ha sido usado por IBM desde que se construyó el primer controlador de discos flexibles; utiliza un polinomio  $x^{16}+x^{12}+x^5+1$  para generar el CRC. El segundo, llamado CRC-16, utiliza el polinomio  $x^{16}+x^{15}+x^2+1$ .



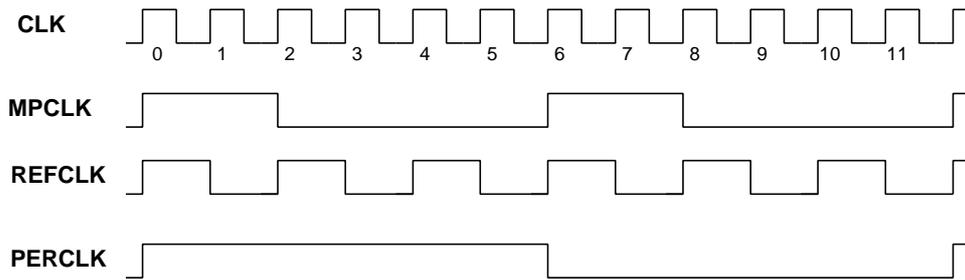
CRC - CCITT



CRC - 16

La celdillas rectangulares del dibujo representan flip-flops conectados para permitir el desplazamiento de la información desde la derecha hacia la izquierda. Inicialmente los 16 flip-flops deberán contener ceros. La entrada llamada CONTROL estará a nivel 1. El mensaje se enviará empezando por el bit de mayor peso y por cada bit transmitido se actualizará el contenido de los 16 flip-flops. Cuando todo el mensaje haya sido enviado, los 16 biestables contienen el CRC que habrá que enviar seguidamente. Para ello se pone la entrada CONTROL a cero, transformándose el generador de CRC en un registro de desplazamiento de 16 bits. Tras aplicar 16 pulsos de reloj a este registro habremos obtenido el CRC en serie, por la salida del último flip-flop, quedando a cero los 16 biestables.

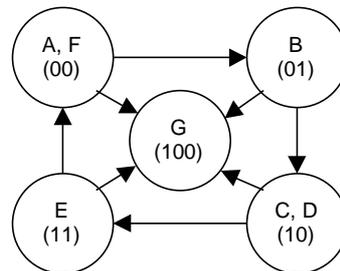
16.- Diseñar un sistema que genere la siguiente forma de onda:



Se parte de una señal CLK de reloj de 30 MHz generada por un oscilador a cristal y se obtienen: la señal de reloj del microprocesador (MPCLK) de 5 MHz con un ciclo de trabajo del 33,3 %, una señal de reloj de referencia (REFCLK) de 15 MHz con un ciclo de trabajo del 50 % y una señal de reloj para dispositivos periféricos (PERCLK) de 2.5 MHz, con un ciclo de trabajo del 50 %.

Resolver el problema empleando un contador módulo 12 y definir las formas de onda usando secuencias.

17.- Diseñar una máquina síncrona que implemente el siguiente diagrama de estados:



18.- Diseñar un detector de patrón serie que detecte el patrón 10010101. El dispositivo posee una entrada de datos donde van entrando los bits sincronizados con la señal de reloj. Una vez cargados los ocho bits en registros se comparan con el patrón y con un bit se señala su coincidencia.

19.- Diseñar un sumador serie de dos números binarios. El circuito posee dos entradas por las que se aplican los números a sumar y una salida que proporciona el resultado de la suma. La suma se realiza empezando por los bits de menor peso y terminando con los de mayor peso. Se supone que las entradas provienen de un registro de desplazamiento de entrada paralela y salida serie. El valor de la salida deberá almacenarse en otro registro de desplazamiento de entrada serie y salida paralela. El sumador debe tener en cuenta el acarreo de la suma anterior para calcular la suma actual.

Se pide diseñar el diagrama de estados del sumador serie e implementar el diseño mediante los dispositivos SSI adecuados.