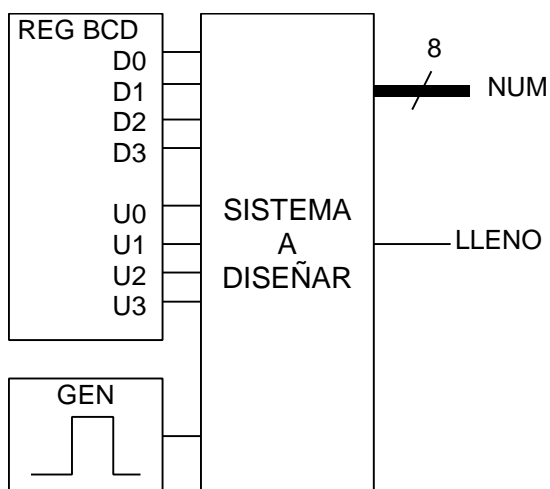
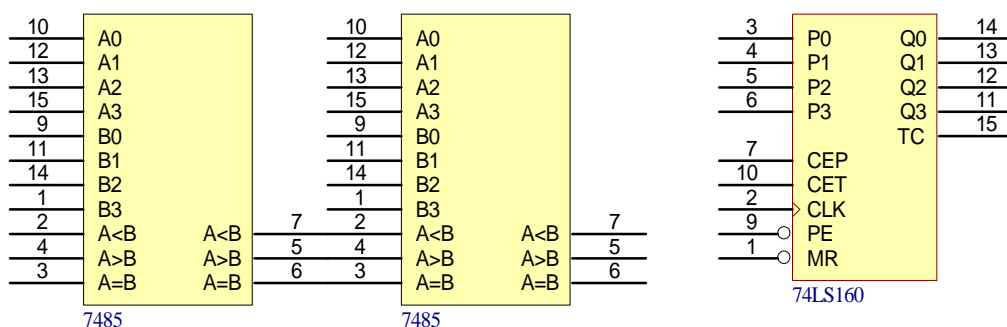


P1. (3 puntos) Una empresa de transporte urbano desea automatizar el control de pasajeros mediante un sistema digital que realice la cuenta de las personas que van entrando en cada autobús. Se dispone de un sensor que genera un pulso por cada pasajero que entra. Como la empresa dispone de autobuses con distinto número de plazas, un operador introducirá en el sistema la capacidad de cada autobús, que varía entre 20 y 95 plazas. El sistema deberá generar una señal acústica que indique que el autobús está completo, a continuación se comienza a llenar el siguiente autobús.



La caja etiquetada como GEN, representa el sensor generador de pulsos; el módulo REG BCD representa un sistema mediante el cual el operador introduce la capacidad del autobús antes de que suba el primer pasajero, representado por dos cifras decimales en código BCD, U para las unidades y D para las decenas, siendo U3 el MSB de unidades y D3 el MSB de decenas.

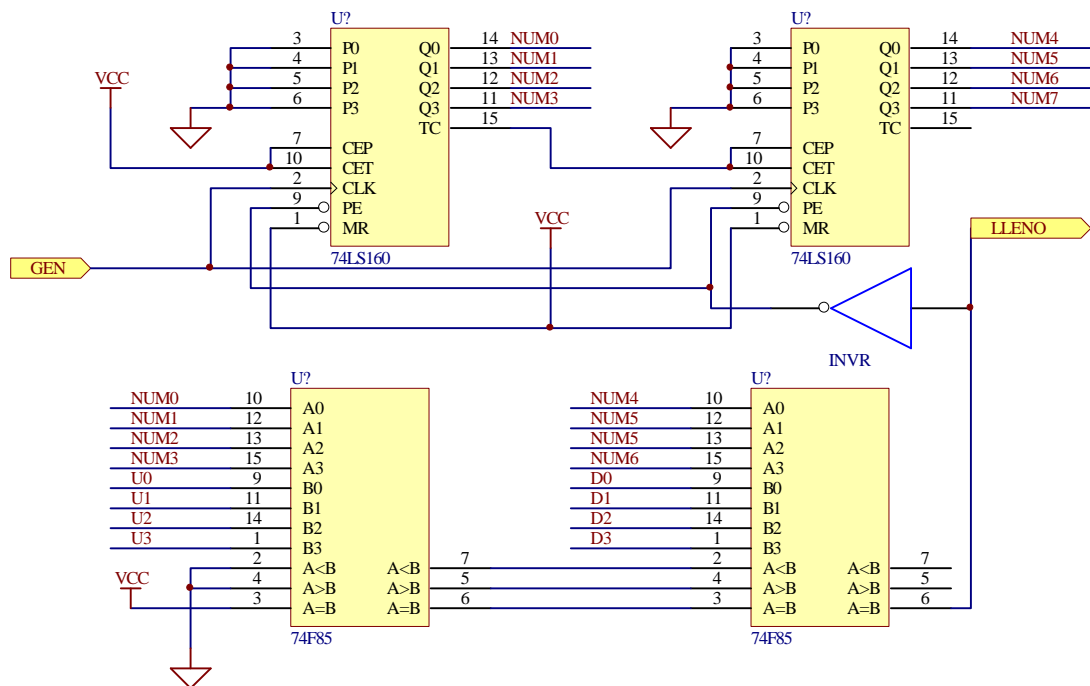
Diseñar el sistema que genere el pulso que origina la señal acústica cuando se llena el autobús (LLENO). El sistema debe inicializar una cuenta para cada autobús, es decir, cada vez que se llene uno. Usar el número que sea necesario de puertas AND, OR o NOT y de los siguientes módulos disponibles:



Las patillas del contador tienen el siguiente significado: CEP: Habilitación de cuenta, CET: Habilitación de cuenta, TC: Salida de acarreo ($n=9$), PE: Carga síncrona, MR: Reset del contador.

SOLUCIÓN:

Debemos usar dos comparadores en cascada para resolver el problema:



El bloque superior se encarga de contar los pulsos generados por el bloque generador de pulsos. Es necesario utilizar dos contadores en cascada porque la cuenta será variable entre 20 y 95.

Se han cableado las entradas de los contadores de manera que tenemos un contador con acarreo síncrono. También se podría haber realizado un acarreo asíncrono conectado a la salida TC a la entrada de reloj del siguiente contador.

Estos contadores siempre están en modo contador y solo funcionan en modo carga cuando se active la señal LLENO, para poner a cero el contador; esto quiere decir que ya se ha llenado un autobús y hay que iniciar la cuenta para el autobús siguiente. También se podría haber hecho usando la entrada de reset del contador en lugar de la entrada de carga. La salida de los contadores NUM0..NUM7 refleja en cada momento el número de pasajeros que hay subidos al autobús actual.

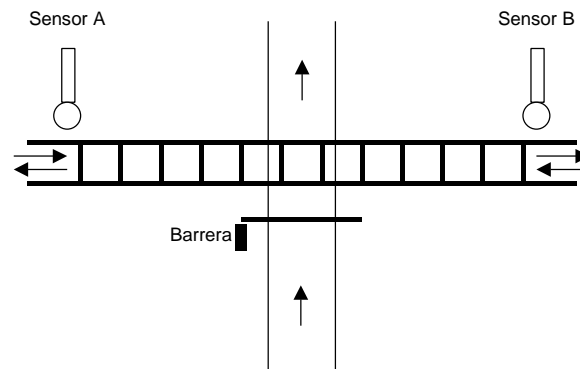
Esta salida se compara con el número que el operador ha introducido en el registro, codificado en BCD. El comparador genera la señal "lleno" cuando NUM0..NUM7 es igual al número de plazas del autobús. Entonces se produce la carga de un cero y por tanto la reiniciación del sistema. También se podría haber colocado una puerta AND entre ambas salidas A=B en lugar de utilizar el acarreo, pero esta es la solución que emplea menos circuitería.

P2. (4 puntos) Se trata de diseñar un sistema secuencial síncrono para controlar el funcionamiento de la barrera de un paso a nivel. Por la vía circulan trenes en ambos sentidos y por la carretera sólo en uno.

Cuando no se acerca ningún tren la barrera permanece levantada para permitir que los coches atraviesen el cruce y se cerrará cuando se detecte un tren por la derecha o por la izquierda, permaneciendo cerrada hasta que se detecte que el tren está saliendo de la zona peligrosa del cruce por el extremo opuesto al que entró.

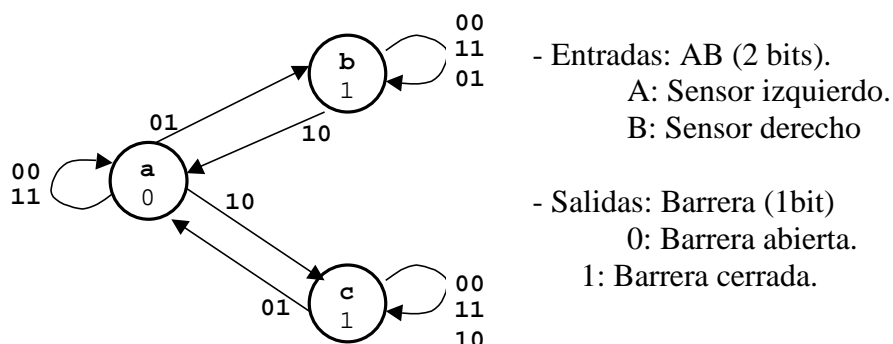
Se dispone de dos sensores ópticos, A y B, situados a suficiente distancia a cada lado del cruce que se activan cuando detectan el paso de un tren. Suponer que la longitud de cualquier tren es siempre menor que la distancia de cada sensor al cruce. La activación de los dos sensores a la vez se considera una combinación errónea y el sistema permanecerá en el estado en que se encontrara anteriormente.

Emplear para su diseño biestables de cualquier tipo y lógica discreta (puertas AND, OR y NOT). Se pide diagrama de estados, tabla de transición, tabla de excitación y diagrama lógico de la solución diseñada.



SOLUCIÓN:

Puesto que en el enunciado nos dicen que en caso de error el sistema permanecerá en el mismo estado donde se encontraba, es más ventajoso hacerlo como autómata de Moore:




- Diagrama de estados:

Estado a: Estado de reposo, barrera levantada.

Estado b: Tren entrando por la derecha, barrera cerrada.

Estado c: Tren entrando por la izquierda, barrera cerrada.

- Tablas de estados y excitación (biestables D):

Estado Act.	Estado siguiente				Salida
AB 	00	01	10	11	S
a : 00	a	b	c	a	0
b: 01	b	b	a	b	1
c: 10	c	a	c	c	1
11	X	X	X	X	X

El último estado es erróneo. Podría realizarse el problema suponiendo que desde el estado 11 debe pasar a un estado concreto, aunque como no se especifica nada podemos suponer que no se va a llegar a el nunca en condiciones normales y usarlo para reducir la lógica combinacional por Karnaugh.

- Tabla de excitación:

q1	q0	A	B	Q1	Q0	D1	D0	S
0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	1	0
0	0	1	0	1	0	1	0	0
0	0	1	1	0	0	0	0	0
0	1	0	0	0	1	0	1	1
0	1	0	1	0	1	0	1	1
0	1	1	0	0	0	0	0	1
0	1	1	1	0	1	0	1	1
1	0	0	0	1	0	1	0	1
1	0	0	1	0	0	0	0	1
1	0	1	0	1	0	1	0	1
1	0	1	1	1	0	1	0	1
1	1	X	X	X	X	X	X	X

Podemos observar directamente que:

$$D1=Q1$$

$$D0=Q0$$

$$S=q1+q0$$

- Mapas de Karnaugh:

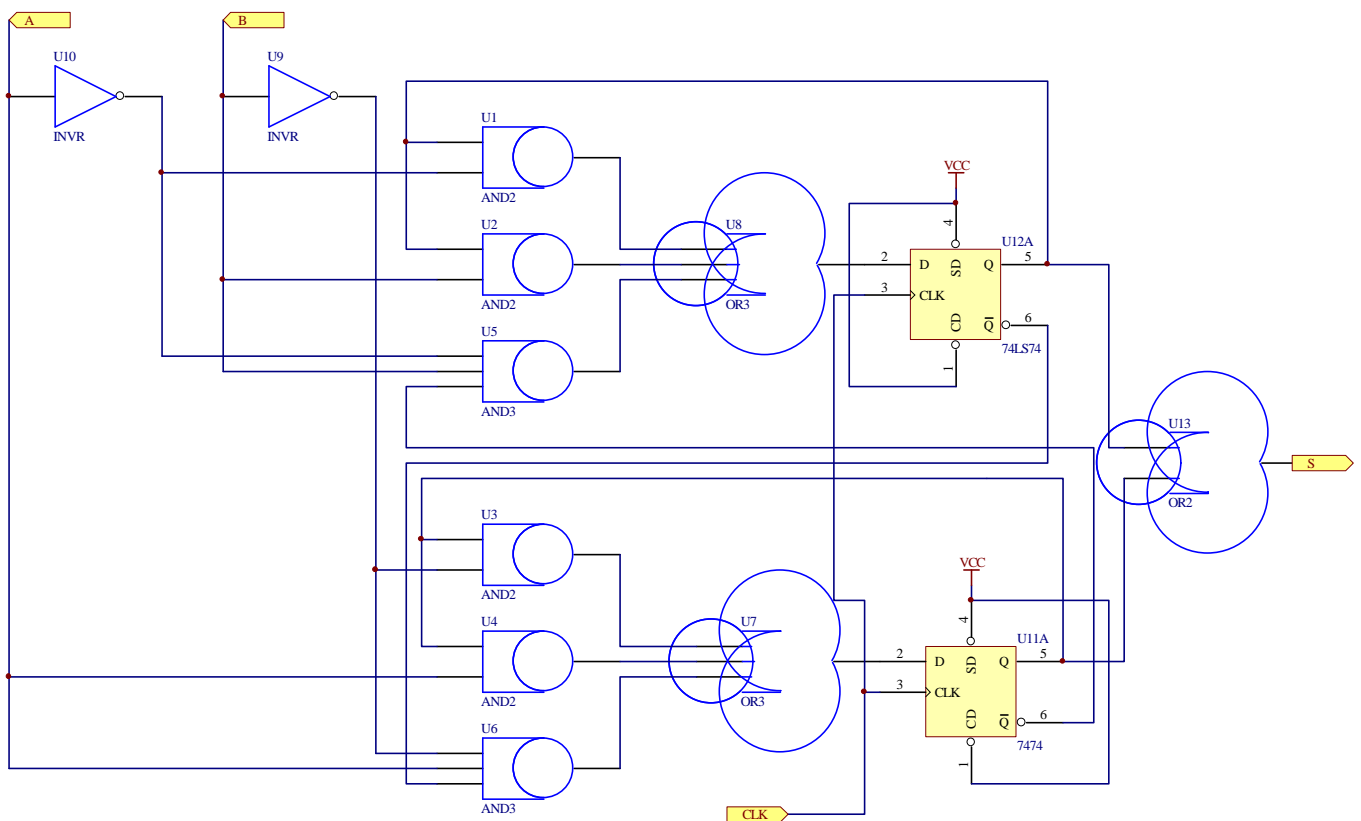
q1q0 \ AB	00	01	11	10
00	0	0	0	1
01	0	0	0	0
11	X	X	X	X
10	1	0	1	1

$$D1 = q1 / B + q1 A + /q0 A / B$$

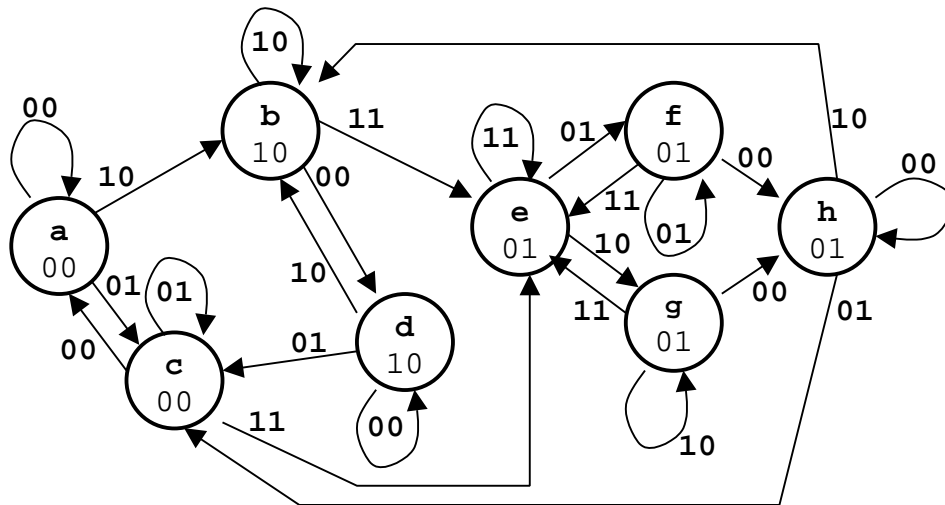
q1q0 \ AB	00	01	11	10
00	0	1	0	0
01	1	1	1	0
11	X	X	X	X
10	0	0	0	0

$$D0 = q0 / A + q0 B + /q1 / A B$$

- Circuito:



P3. (3 puntos) Reducir el siguiente diagrama de estados:



Se pide la tabla de estados, la reducción del diagrama mediante la tabla de implicación de estados y el diagrama de estados resultante.

SOLUCIÓN:

La tabla de estados asociada al diagrama de estados del enunciado es la siguiente:

Estado	00	01	11	10	Salida
a	a	c	-	b	00
b	d	-	e	b	10
c	a	c	e	-	00
d	d	c	-	b	10
e	-	f	e	g	01
f	h	f	e	-	01
g	h	-	e	g	01
h	h	c	-	b	01

Construimos la sencilla tabla de implicación:

A							
×	B						
	×	C					
×		×	D				
×	×	×	×	E			
×	×	×	×		F		
×	×	×	×			G	
×	×	×	×	×	×	×	H

La tabla de estados reducida queda de la siguiente forma:

Estado	00	01	11	10	Salida
ac	a	c	e	b	00
bd	d	c	e	b	10
efg	h	f	e	g	01
h	h	c	-	b	01

La tabla de estados reducida tras hacer la reasignación de estados:

Estado	00	01	11	10	Salida
a	a	a	c	b	00
b	b	a	c	b	10
c	d	c	c	c	01
d	d	a	-	b	01

El diagrama de estados reducido una vez reasignados los estados queda de la siguiente forma:

