

T7-SISTEMAS SECUENCIALES

Los circuitos lógicos se clasifican en dos tipos:

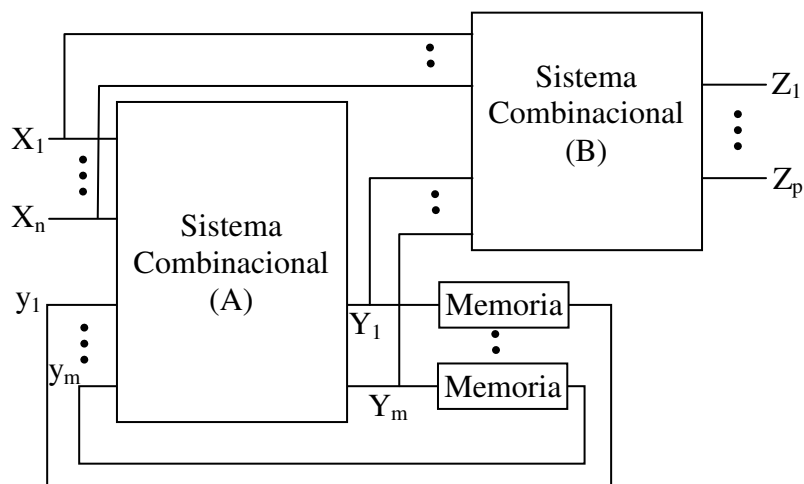
- **Combinacionales**, aquellos cuyas salidas sólo dependen de las entradas **actuales**.
- **Secuenciales**, aquellos cuyas salidas dependen no sólo de sus entradas actuales, sino también de sus entradas **anteriores**.

Esta “información” de las entradas anteriores, debe preservarse en el circuito y se denomina **estado interno, secundario**, o simplemente **estado, del circuito**. Es necesario distinguir el valor presente de una señal del que poseía en un instante inmediatamente anterior, y éste del anterior,... Por ello habrá una intervención explícita del tiempo.

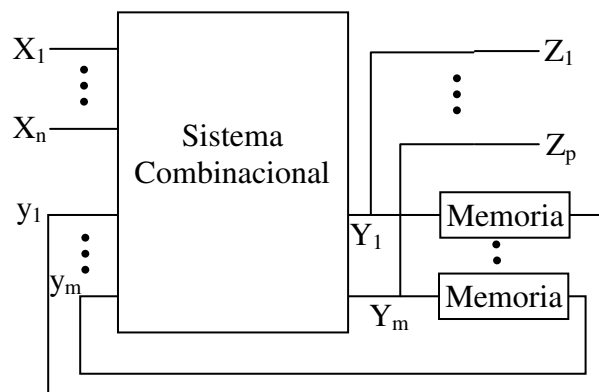
Un sistema secuencial posee un 2^n estados de entrada para n entradas ($X_1...X_n$). Poseen además 2^p estados de salida para p salidas ($Z_1...Z_p$) y un número finito de estados internos ($y_1...y_m$) de ahí que sean conocidos como autómatas finitos.

Según la relación entre las salidas y los estados internos podemos distinguir:

- **AUTÓMATA de MEALY**, las salidas se obtienen en función de las entradas y los estados internos:



- **AUTÓMATA de MOORE**, las salidas coinciden o dependen solo de los estados internos:



SISTEMAS SECUENCIALES SÍNCRONOS

Según la forma de realizar el elemento de memoria nos podemos encontrar distintos tipos de sistemas secuenciales, principalmente dos:

- Sistemas Secuenciales Síncronos, en los que su comportamiento puede definirse en instantes de discretos de tiempo, se necesita una sincronización de los elementos del sistema mediante una señal de reloj, que no es más que un tren de pulsos periódico. Las variables internas no cambian hasta que no se llega un pulso del reloj.
- Sistemas Secuenciales Asíncronos, actúan de forma continua en el tiempo, un cambio de la entradas provoca los cambios en las variables internas sin esperar a la intervención de un reloj. Son sistemas más difíciles de diseñar.

El cambio de las variables internas se puede producir de dos maneras en un sistema secuencial síncrono:

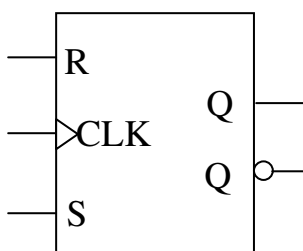
- Por niveles, cuando permiten que las variables de entrada actúen sobre el sistema en el instante en el que la señal de reloj toma un determinado nivel lógico (0 ó 1),
- Por flancos, o cambios de nivel, cuando la acción de las variables de entrada sobre el sistema se produce cuando ocurre un flanco activo del reloj. Este flanco activo puede ser de subida (cambio de 0 a 1) o de bajada (cambio de 1 a 0).

El elemento de memoria básico de los circuitos secuenciales síncronos es el **biestable**. Almacena el estado **0** ó el estado **1**, y de ahí su nombre, tienen dos estados estables de funcionamiento.

También se les suele conocer como **FLIP-FLOPS**.

Biestable RS

El biestable básico es el RS. Su símbolo lógico se muestra a continuación. Tiene dos entradas **S**(set) y **R**(reset), y tiene dos salidas complementarias Q (q_n) y \bar{Q} , tiene además una entrada **CLK**(reloj) activa por flanco de subida



Modo de Operación	Entradas			Salidas	
	CLK	S	R	q_{n+1}	\bar{q}_{n+1}
Mantenimiento	↑	0	0	q_n	\bar{q}_n
Reset	↑	0	1	0	1
Set	↑	1	0	1	0
Prohibido	↑	1	1	1	1
Off	↓	X	X	q_n	\bar{q}_n

q_n : estado presente
 q_{n+1} : estado futuro

Ecuación característica
 $Q_{n+1} = S + R'Q_n$

Biestable D (Latch o Cerrojo)

Se trata de otro tipo de Biestable, esta vez, con una entrada **D**(datos) y dos salidas de estados complementarias, **Q**. Cuenta además con una entrada de **CLK**(reloj), activada por flanco de subida. También puede contar con dos entradas más, conocidas por **PR** (de *preset*: reiniciar) y **CLR** (de *clear*: despejar).

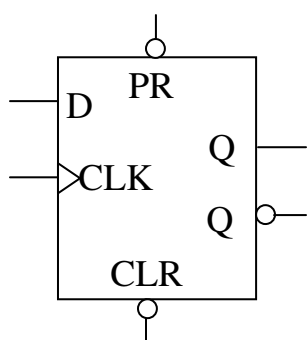
El Biestable D que aparece en la figura, puede funcionar de dos formas:

- Síncrona: usa una señal de reloj.
- Asíncrona: usa las señales PR Y CLR.

De forma síncrona lo hace de la siguiente manera: Si la transición de la señal de reloj es de bajo a alto (o sea, de 0 a 1) se traslada el dato D a la salida, se dice que el biestable ha sido disparado por la señal de reloj. Si por el contrario la transición en el pulso de reloj es de estado alto a bajo (o sea, pasa de 1 a 0) el biestable no responde.

Las entradas **PR** y **CLR** son lo que se llaman entradas asíncronas, pues independientemente de cómo esté la señal de reloj, reiniciarán (pondrán un 1 en la salida) o despejarán (pondrán un 0 en la salida) el biestable. Éste es el modo de funcionamiento asíncrono.

La ecuación característica es: $Q_{n+1} = D$



Modo de Operación	Entradas				Salidas	
	Asíncronas		Síncronas			
	$\overline{\text{PR}}$	$\overline{\text{CLR}}$	CLK	D	Q	$\overline{\text{Q}}$
Set asíncrono	1	0	X	X	1	0
Reset asíncrono	0	1	X	X	0	1
Prohibido	1	1	X	X	1	1
Set	0	0	↑	1	1	0
Reset	0	0	↑	0	0	1

- Activo por flanco de Subida
 Activo por flanco de bajada

Biastable JK

El biastable JK puede considerarse como el biastable universal. Dispone de tres entradas síncronas **J** y **K**, para especificar la operación y **CLK**, para disparar el biastable. También consta de dos entradas asíncronas **PR** y **CLR**, y por supuesto dos salidas complementarias.

Su ecuación característica es: $Q_{n+1} = JQ_n' + K'Q_n$

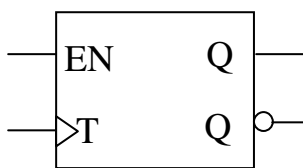
Este es su símbolo tradicional y su tabla de funcionamiento:

Modo de Operación	Entradas					Salidas	
	Asíncronas		Síncronas			Q	\bar{Q}
	\overline{PR}	\overline{CLR}	\overline{CLK}	J	K		
Set asíncrono	1	0	X	X	X	1	0
Reset asíncrono	0	1	X	X	X	0	1
Prohibido	1	1	X	X	X	1	1
Mantenimiento	0	0	↓	0	0	q_{n-1}	$\overline{q_{n-1}}$
Reset	0	0	↓	0	1	0	1
Set	0	0	↓	1	0	1	0
Conmutación	0	0	↓	1	1	$\overline{q_{n-1}}$	q_{n-1}

Biastable T

Se trata de un biastable que cambia de estado con cada pulso de reloj:

Su ecuación característica: $Q_{n+1} = TQ_n' + T'Q_n$

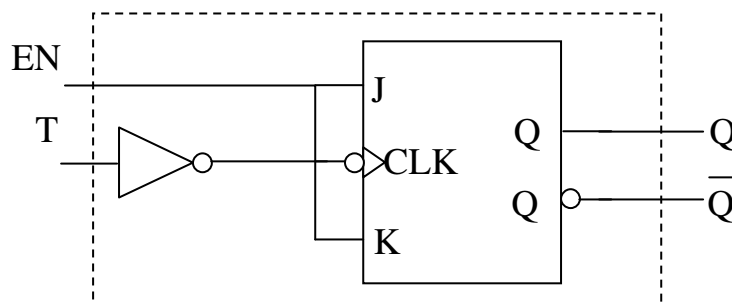


EN	T	q_{n+1}
0	0	q_n
0	1	q_n
1	0	q_n
1	1	$\overline{q_n}$

q_n : estado presente

q_{n+1} : estado futuro

Biastable T construido con JK

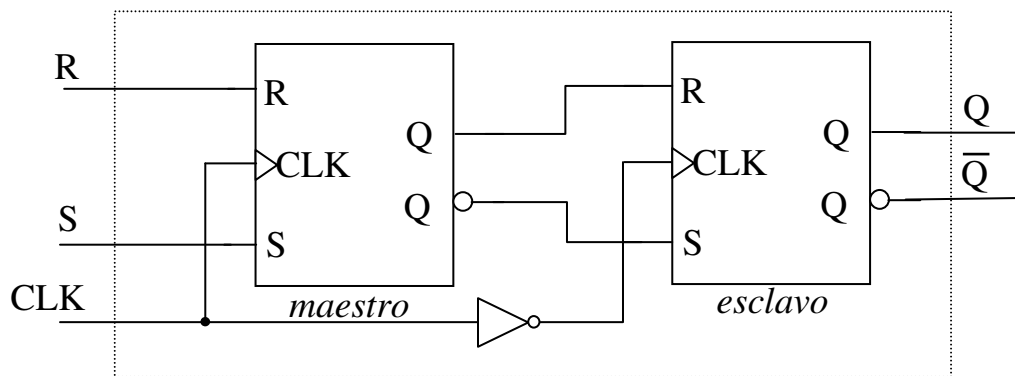


Master & Slave (*Maestro-Esclavo*)

La mayor parte de los sistemas digitales complejos operan con un sistema secuencial síncrono, lo que requiere un reloj maestro que envíe señales a todas las partes del sistema para coordinar la operación del mismo.

Los biestables que hemos visto transfieren la entrada a la salida cuando se lo indica el cambio en la señal de reloj. Ya hemos visto que están disparados por flancos de subida o de bajada.

Pero muchos biestables son dispositivos disparados por **pulsos**, denominándose **biestables maestro-esclavo**. Un *biestable maestro-esclavo* está formado por varias puertas y flips-flops conectados de manera que se usa el pulso completo de reloj (tiempo que el reloj está a nivel alto) para transmitir el dato de la entrada a la salida. Aquí se expone un ejemplo realizado con biestables RS:



La señal de reloj controla el *maestro*, se invierte y controla el *esclavo*.

Así, cuando $CLK=1$ (reloj alto) el maestro registra los datos presente en las entradas RS, permaneciendo inhibido el *esclavo*, por lo que no hay transferencia de información al mismo.

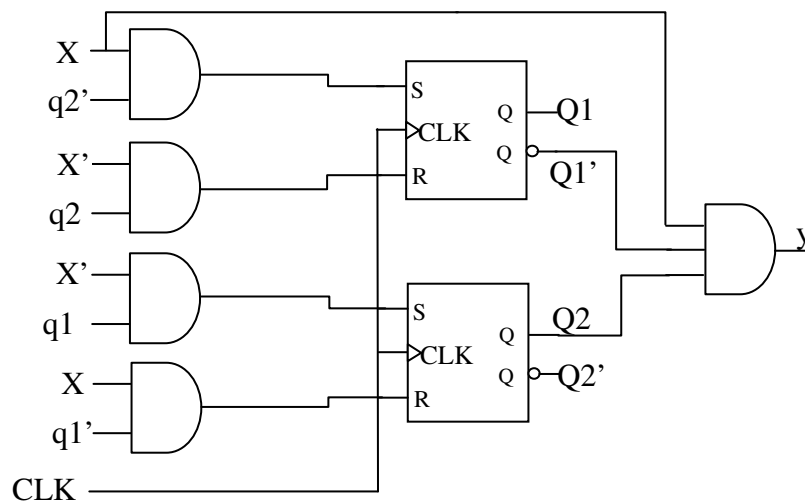
Con el reloj en nivel bajo ($CLK=0$) el maestro se inhibe, no hay modificaciones en sus salidas, y éstas actúan como entradas al esclavo, transfiriéndose su estado a la salida del mismo.

O sea, la entrada sólo se transfiere a la salida cuando ha terminado el pulso (como si fuera disparado por un flanco de bajada), pero se pueden detectar los cambios producidos en la entrada mientras que $CLK=1$.

ANÁLISIS DE CIRCUITOS SECUENCIALES SÍNCRONOS

El análisis consiste en obtener una tabla de estados (o tabla de transición) y/o un diagrama de flujo, de las secuencias de tiempo de las entradas, salidas y estados internos del sistema secuencial. También es posible escribir expresiones booleanas que describan su comportamiento.

La tabla consta de 4 secciones principales: entrada, estado presente, estado futuro y salida. En la sección estado presente se indica los estados de los FF antes de la ocurrencia del pulso de reloj bajo las condiciones de entrada indicadas. En la sección estado siguiente se muestra el estado de los FF después del pulso. Y la sección de salida muestra los valores de las variables de salida durante el estado presente.



Ecuaciones:

$$Q1 = S + R'q1 = Xq2' + (X'q2)'q1 = Xq2' + (X + q2')q1 = Xq2' + Xq1 + q2'q1$$

$$Q2 = S + R'q2 = X'q1 + (Xq1')'q2 = X'q1 + (X' + q1)q2 = X'q1 + X'q2 + q1q2$$

$$Y = XQ1'Q2$$

TABLA de ESTADOS o de TRANSICIÓN

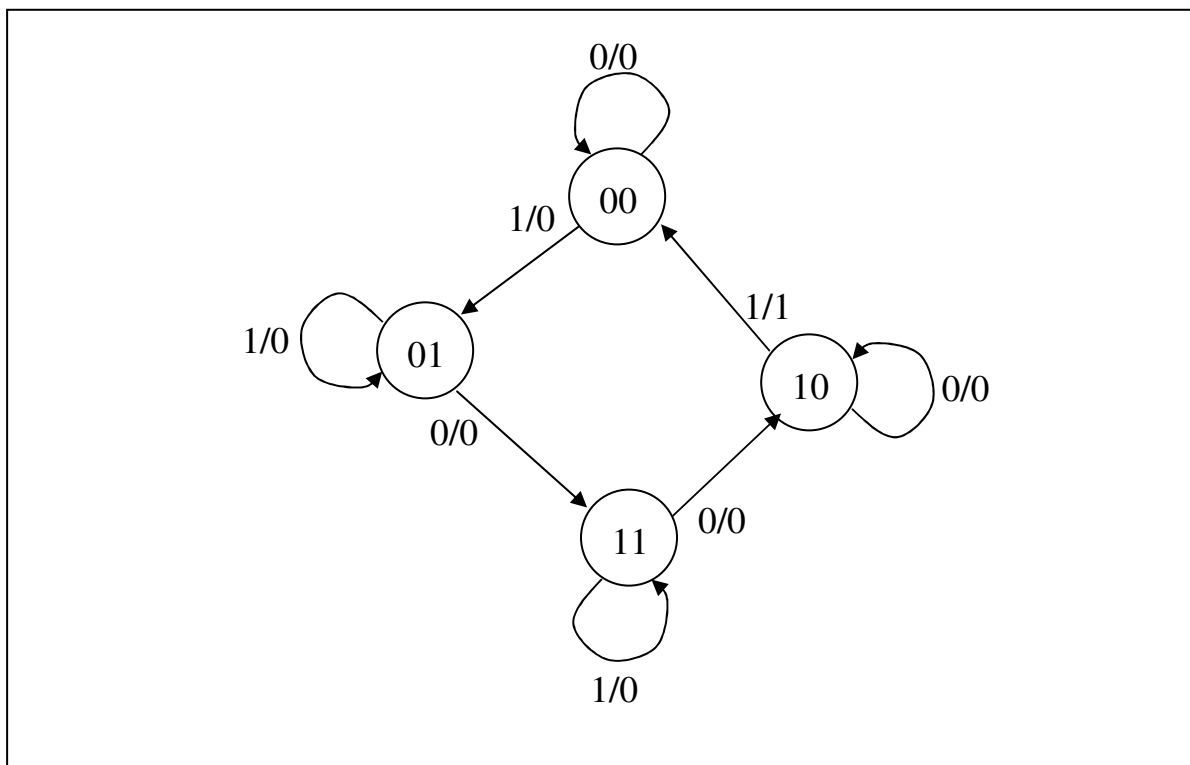
Entrada X	Estado presente		Estado futuro		Salida Y
	q2	q1	Q2	Q1	
0	0	0	0	0	0
0	0	1	1	1	0
0	1	0	1	0	0
0	1	1	1	0	0
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	0	0	1
1	1	1	1	1	0

También se puede dar la tabla de la siguiente forma:

		X	
		0	1
q2q1	00	00,0	01,0
	01	11,0	01,0
	11	10,0	11,0
	10	10,0	00,1

Dónde se están representando tres mapas de Karnaugh al mismo tiempo, para las funciones Q_2Q_1 que representan los estados futuros del circuito y la función Y que representa la salida. Se interpreta de la siguiente manera: si el circuito está en el estado 01 (dado por q_2q_1) y recibe una entrada 0 (X) pasa al estado 11 (Q_2Q_1) con salida 0 (Y); si estando en 01 lo que recibe es una entrada 1, entonces la tabla nos dice que pasa al estado 01, o sea, se queda en el mismo estado y la salida es 0.

Esta forma de interpretar la tabla de estados o de transición permite generar algo fundamental en el diseño y análisis de sistemas secuenciales: EL DIAGRAMA de FLUJO o de ESTADOS:



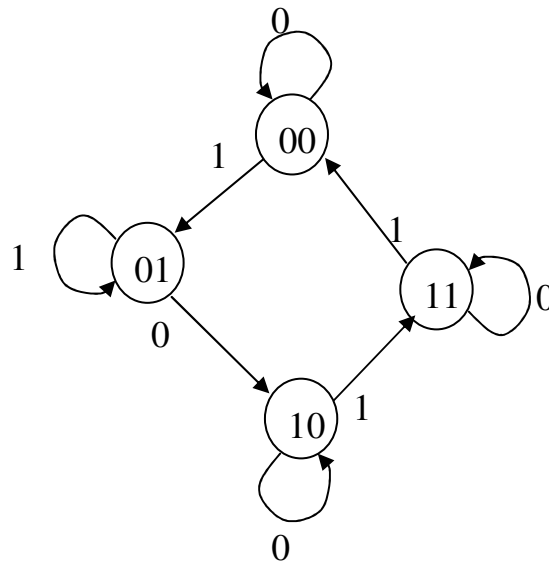
DISEÑO DE CIRCUITOS SECUENCIALES SÍNCRONOS CON F-F

Se pueden seguir una serie sencilla de pasos:

1. Se parte de las especificaciones de funcionamiento, que puede incluir un diagrama de flujo.
2. Se obtiene la tabla de estados.
3. Se procede a la reducción del número de estados, es opcional.
4. Se asignan valores binarios a cada estado de la tabla y obtenemos una tabla de transición.
5. Se determina el número de FF necesarios y se asigna un símbolo a cada uno.
6. Se escoge el tipo de FF que va a utilizarse
7. Mediante la tabla de transición se derivan las entradas de los biestables (tabla de excitación) y las salidas.
8. Mediante algún método (Karnaugh, McCluskey ...) se simplifican dichas funciones o se construyen usando dispositivos MSI o PLDs.
9. Dibujar el diagrama lógico.

Ejemplo:

- Partimos del siguiente diagrama de flujo:



No existen salidas, luego suponemos que las salidas de los FF son las salidas del circuito.

La tabla de transición es:

q ₂ q ₁	X	
	0	1
00	00	01
01	10	01
11	11	00
10	10	11

Como existen dos variables de estado interno q_2q_1 se necesitan dos elementos de memoria, dos FF. Vamos a realizar el diseño con biestables JK. Para cada uno de los biestables necesitamos deducir la entrada J y la entrada K. Dichas funciones se pueden realizar usando puertas básicas o dispositivos MSI.

Construimos la tabla de estado de esta forma:

Entrada X	Estado presente		Estado futuro		Entradas Biestables			
	q2	q1	Q2	Q1	J2	K2	J1	K1
0	0	0	0	0	0	X	0	X
0	0	1	1	0	1	X	X	1
0	1	0	1	0	X	0	0	X
0	1	1	1	1	X	0	X	0
1	0	0	0	1	0	X	1	X
1	0	1	0	1	0	X	X	0
1	1	0	1	1	X	0	1	X
1	1	1	0	0	X	1	X	1

Simplificando se obtiene una expresión booleana de J_1K_1 J_2K_2 :

$$J_2 = q_1X'$$

$$K_2 = q_1X$$

$$J_1 = X$$

$$K_1 = q_2'X' + q_2X$$

El circuito quedaría como:

