

LÓGICA CON DIODOS

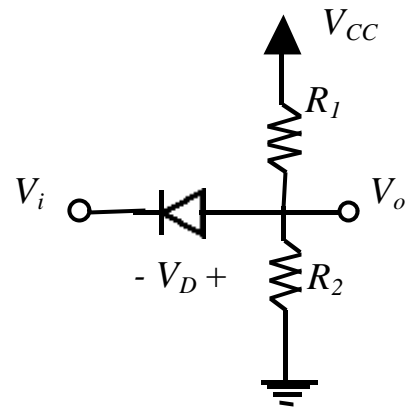
Los primeros circuitos Lógicos se construyeron usando Diodos, pero no eran integrados. El funcionamiento era el siguiente:

Si $V_i = V(0) \Rightarrow$ D ON

Entonces $V_o = V_\gamma + V(0)$

Si $V_i = V(1) \Rightarrow$ D OFF

Entonces $V_o = V_{CC} R_2 / (R_1 + R_2)$



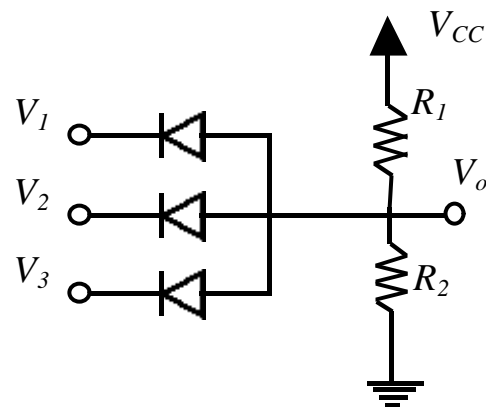
Con más entradas:

Si $V_1 = V_2 = V_3 = V(1) \Rightarrow$ D OFF

Entonces $V_o = V_{CC} R_2 / (R_1 + R_2)$

Si alguna entrada es $V(0) \Rightarrow$ D ON

Entonces $V_o = V_\gamma + V(0) \Rightarrow 0$ Lógico

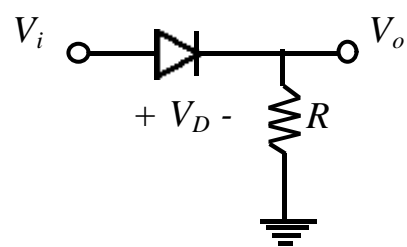


Estamos ante una operación AND

Si “damos la vuelta” a los diodos la función que se realiza es una OR.

Si $V_i = V(0) \Rightarrow$ D OFF y $V_o = 0$

Si $V_i = V(1) \Rightarrow$ D ON y $V_o = V(1) - V_\gamma$

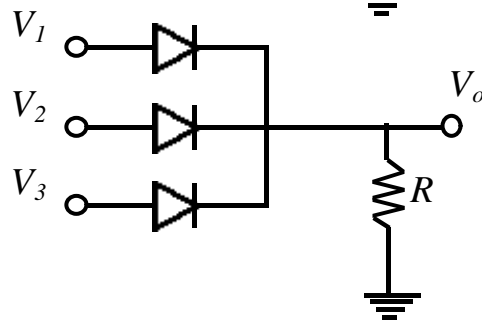


Si $V_1 = V_2 = V_3 = V(0) \Rightarrow$ D OFF

Entonces $V_o = 0$

Si alguna entrada es $V(1) \Rightarrow$ D ON

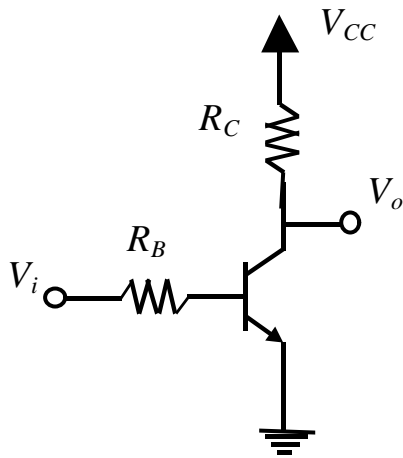
Entonces $V_o = V(1) - V_\gamma \Rightarrow 1$ Lógico



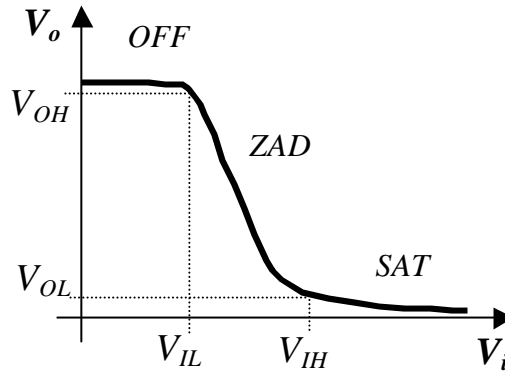
Es una lógica NO inversora, incapaz de implementar todas las funciones.

LÓGICA RTL

INVERSOR BIPOLAR:



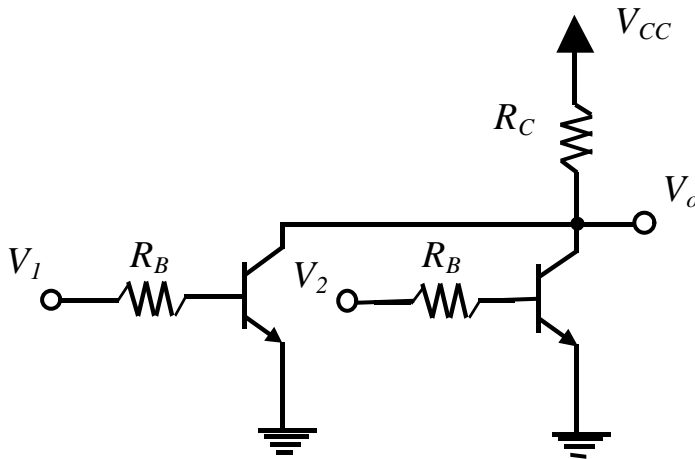
Característica de Transferencia



Si: $R_C = 1K$, $R_B = 10K$, $b_F = 70$, $V_{CC} = 5V$;

Entonces: $V_{OH} = 5V$; $V_{OL} = 0.2V$; $V_{IH} = 1.5V$; $V_{IL} = 0.7V$, y los márgenes de ruido $NMH = 3.5V$ y $NML = 0.5V$.

Para poder realizar funciones lógicas se necesita un conjunto completo, y con esta estructura podemos construir puertas NOR.



Características RTL:

(Valores típicos de Cat.)

$V_{CC} = 3.6V$;

Fan-out: 3;

$T_p = 12ns$;

$V_{OH} = 1.03V$; $V_{OL} = 0.2V$;

$V_{IH} = 0.8V$; $V_{IL} = 0.65V$;

$P_m = 12mW$

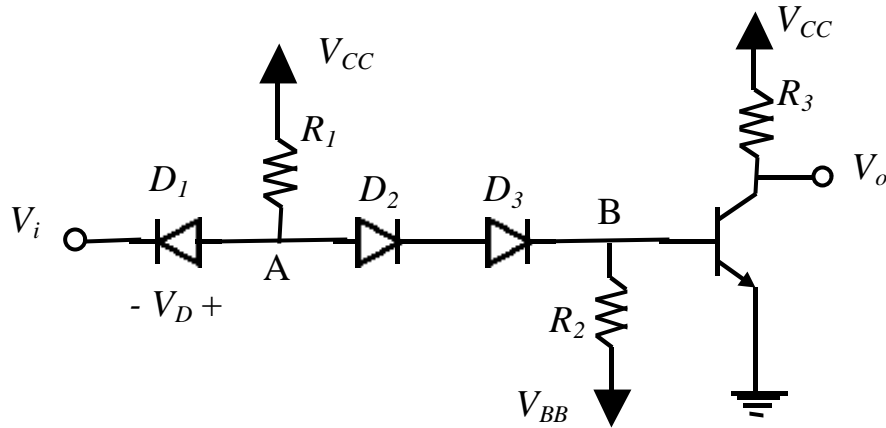
Funcionamiento:

- $V_1 = 0$ y $V_2 = 0$ $\Rightarrow T_1$ OFF y T_2 OFF $\Rightarrow V_o \cong V_{CC}$
- $V_1 = V_{CC}$ y $V_2 = 0$ $\Rightarrow T_1$ SAT y T_2 OFF $\Rightarrow V_o = V_{CE(SAT)} \cong 0.2V$
- $V_1 = V_{CC}$ y $V_2 = V_{CC}$ $\Rightarrow T_1$ SAT y T_2 SAT $\Rightarrow V_o = V_{CE(SAT)} \cong 0.2V$

Esta primera familia integrada cayó en desuso por lentos.

LÓGICA DTL

Ideada en 1962, ya en desuso. Se trata de un circuito AND de diodos y resistencias con un inversor a la salida.

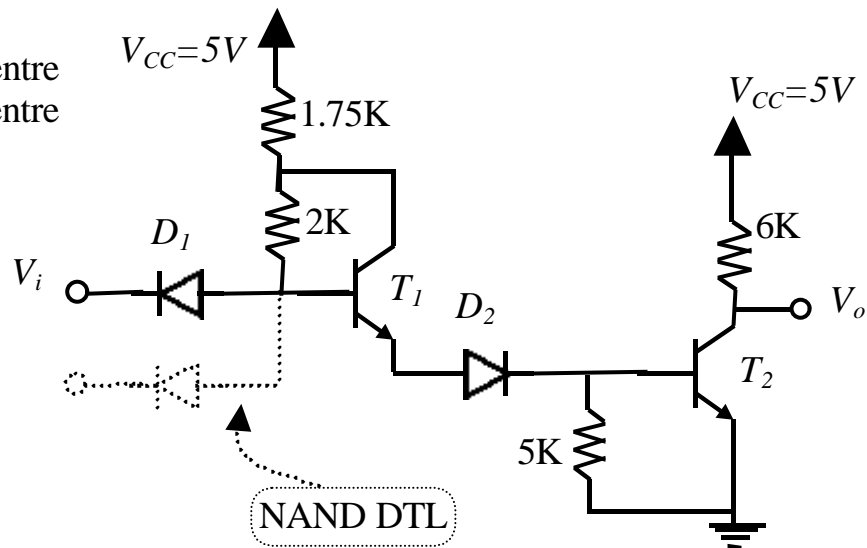


Caso práctico: $R_1 = 2K$, $R_2 = 5K$, $R_3 = 4K$, $V_{CC} = 4V$, $V_{BB} = -2V$;
Se comprueba que:

- $V_i = V(0) \Rightarrow D1 \text{ ON y } T \text{ OFF} \Rightarrow V_o \cong V_{CC}$
- $V_i = V(1) \Rightarrow D1 \text{ OFF y } T \text{ SAT} \Rightarrow V_o = V_{CE(SAT)} \cong 0.2V$

En 1964 aparece una modificación:

Aquí T funciona entre ZAD y OFF y T entre SAT y OFF



Características DTL: (Valores típicos de Cat.)

$V_{CC} = 5 \text{ V}$;

Fan-out: 8;

$T_p = 65 \text{ ns}$;

$V_{OH} = 2.6 \text{ V}$; $V_{OL} = 0.2 \text{ V}$; $V_{IH} = 2 \text{ V}$; $V_{IL} = 0.4 \text{ V}$;

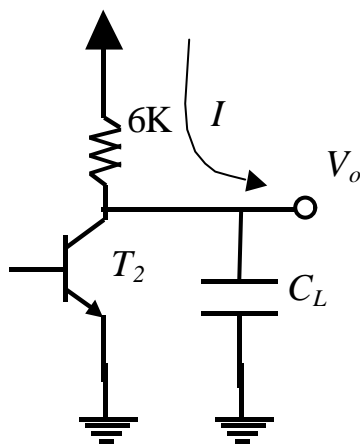
$P_m = 15 \text{ mW}$

LÓGICA TTL

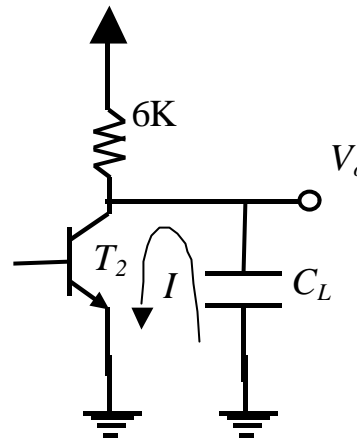
Entre 1966 y 1985 la más usada. Aparece para corregir problemas de retraso en las operaciones de las DTL:

- Retraso de propagación en el cambio 0-1 a la salida.
En dicha transición T_2 debe pasar de saturación a corte, para ello se descarga la base a través de la resistencia de 5K.
- El tiempo de subida es mayor que el tiempo de bajada:
 $T_{LH} \text{ (grande)} > T_{HL}$

T_{LH} (transición de subida)

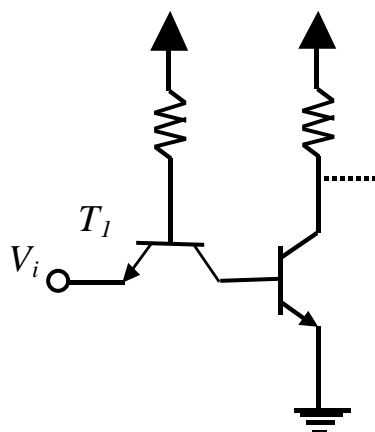


(Transición de bajada) T_{HL}

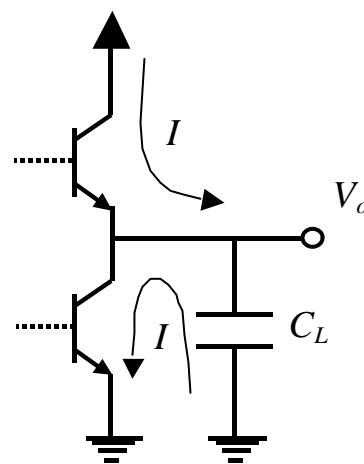


La Lógica TTL corrige el problema con dos etapas,

Circuito de Entrada



Circuito de salida

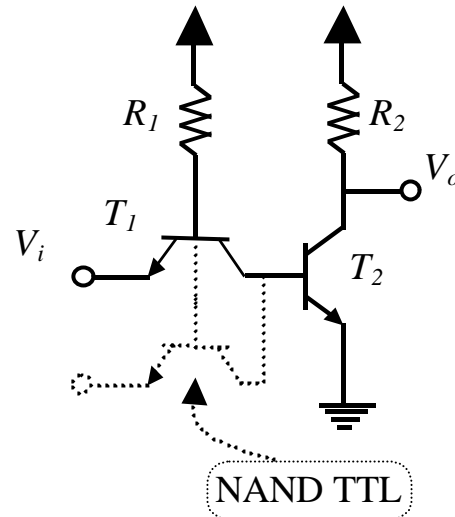


En la entrada ponemos un transistor que hará la transición más rápida y en la salida se colocan dos transistores para que en ambas transiciones de salida conduzca un transistor.

TTL BÁSICA

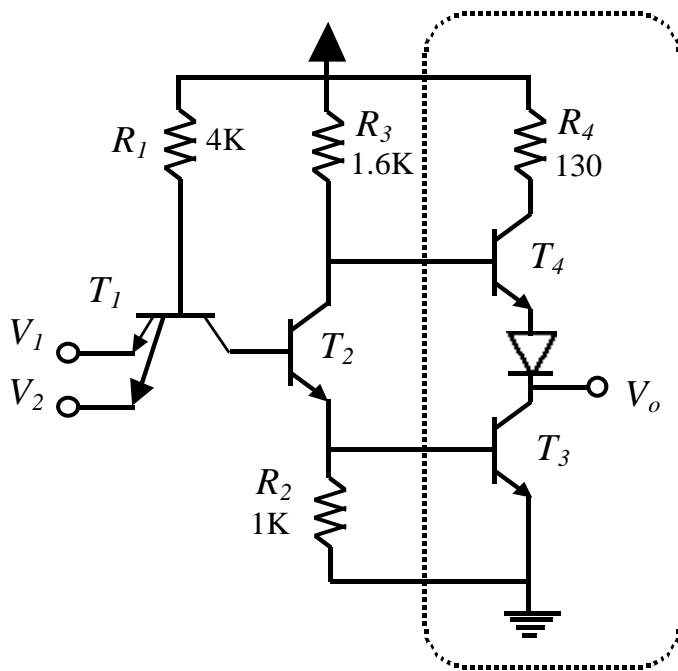
Si $V_i = V(0)$
 $\Rightarrow T_1$ ZAD o SAT
 $\Rightarrow T_2$ CORTE
 $\Rightarrow V_o \cong V_{CC} = V(1)$

Si $V_i = V(1)$
 $\Rightarrow T_1$ ZAI (¡ATENCIÓN!)
 $\Rightarrow T_2$ SAT
 $\Rightarrow V_o \cong V_{CE(SAT)} = V(0)$



TTL STANDARD (NAND)

Se introduce una etapa de salida denominada TOTEM-POLE.



Características TTL (54/74):
 (Valores típicos de Cat.)

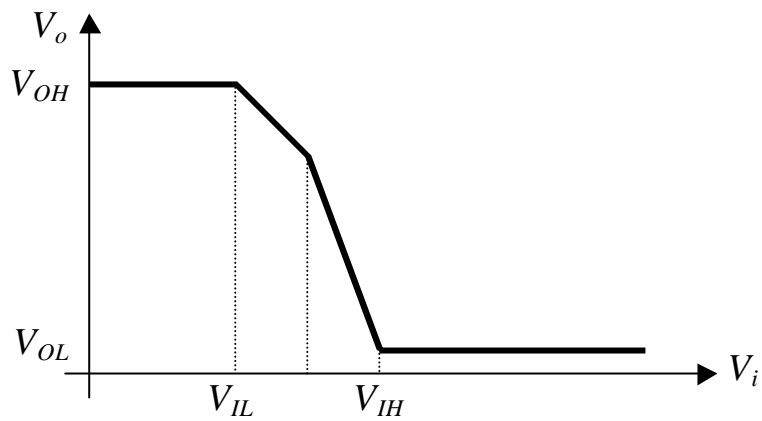
$V_{CC} = 5 \text{ V}$;
 Fan-out: 10;
 $T_p = 10 \text{ ns}$;
 $V_{OH} = 3.5 \text{ V}$; $V_{OL} = 0.2 \text{ V}$;
 $V_{IH} = 1.5 \text{ V}$; $V_{IL} = 0.5 \text{ V}$;
 $P_m = 10 \text{ mW}$

La etapa Tótem-pole hace que en la salida se den estas situaciones:

- $V_o = V(0) \Rightarrow T_3$ SAT y T_4 OFF
- $V_o = V(1) \Rightarrow T_3$ OFF y T_4 ZAD

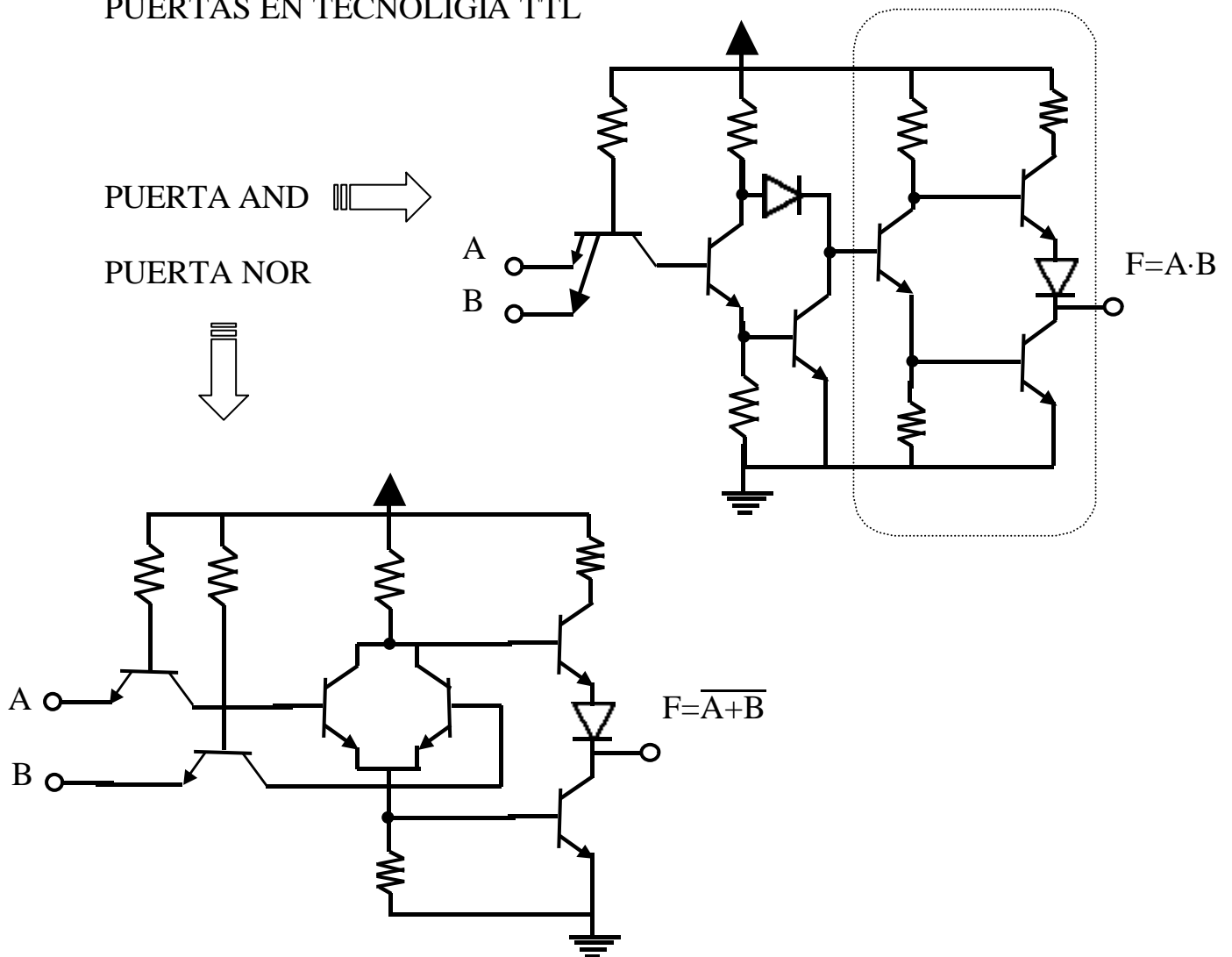
Con el diodo se asegura que T_4 esté en corte en la situación del cero lógico de salida

CARACTERÍSTICA DE TRANSFERENCIA TTL



T1	SAT	ZAD	SAT	ZAI
T2	OFF	ZAD	ZAD	SAT
T3	OFF	OFF	ZAD	SAT
T4	ZAD	ZAD	ZAD	OFF

PUERTAS EN TECNOLOGÍA TTL



ETAPAS DE SALIDA TTL

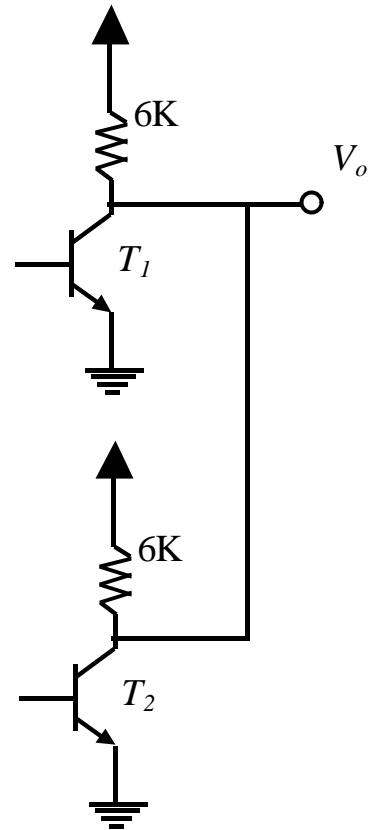
Frente a capacidad de interconexión de distintas salidas en las familias RTL y DTL, la TTL presenta un gran inconveniente.

La etapa de salida de una RTL o una DTL consiste básicamente en un transistor y una R, esto permite conectar la salida de dos puertas sin degradación de estados:

Con salida 00 $\Rightarrow T_1$ SAT y T_2 SAT
 $\Rightarrow V_o = V(0)$

Con salida 01 (10) $\Rightarrow T_1$ SAT y T_2 OFF
 $\Rightarrow V_o = V(0)$

Con salida 11 $\Rightarrow T_1$ OFF y T_2 OFF
 $\Rightarrow V_o = V(1)$



La operación lógica que realiza es una AND. A esto se le denomina cableado lógico y ahorra un considerable número de puertas. En la standard TTL no es posible hacerlo, se proponen dos soluciones:

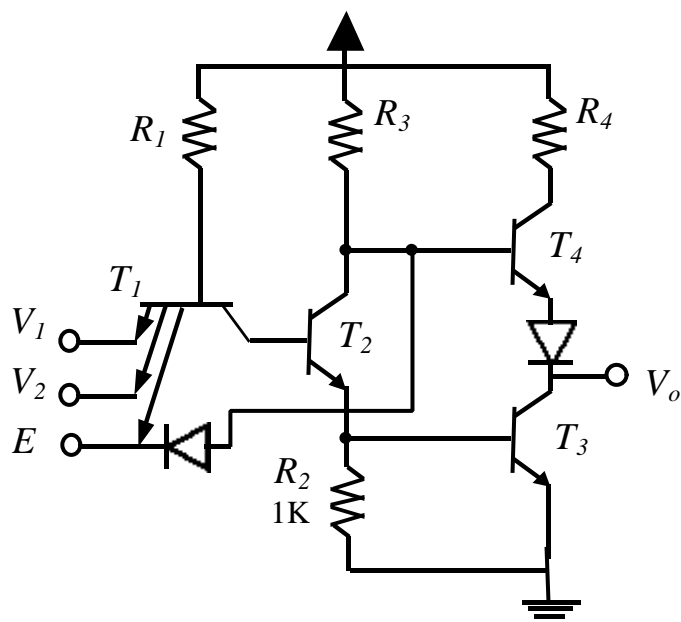
COLECTOR ABIERTO:

Se prescinde del Totem-pole, perdiendo sus ventajas. Hay que usar una resistencia entre VCC y la unión de los Colectores.

PUERTA TRI-ESTADO:

Para aprovechar las ventajas de la etapa Totem-pole, se introduce una señal de control de manera que inhiba el funcionamiento de la puerta:

Si $E=V(1)$ no funciona.
 Si $E=V(0)$ toda la corriente fluye por el nuevo diodo y corta los transistores de Salida.

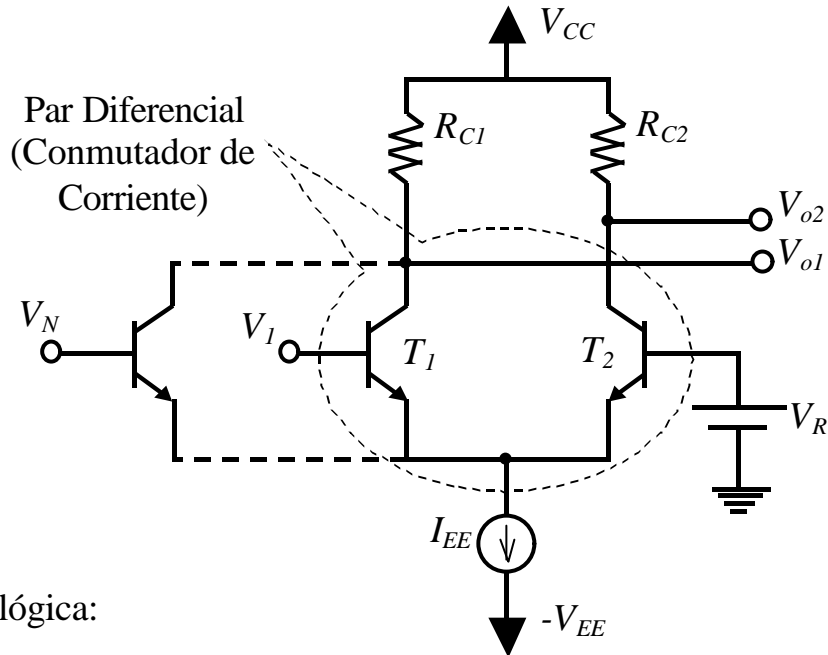


LÓGICA ECL

Son los circuitos Lógicos Bipolares más rápidos debido a:

- Los transistores no se saturan
- Existe poca diferencia entre los niveles lógicos de tensión

ESTRUCTURA BÁSICA DE UNA PUERTA ECL



Operación lógica:

Si alguna entrada i está a nivel alto:

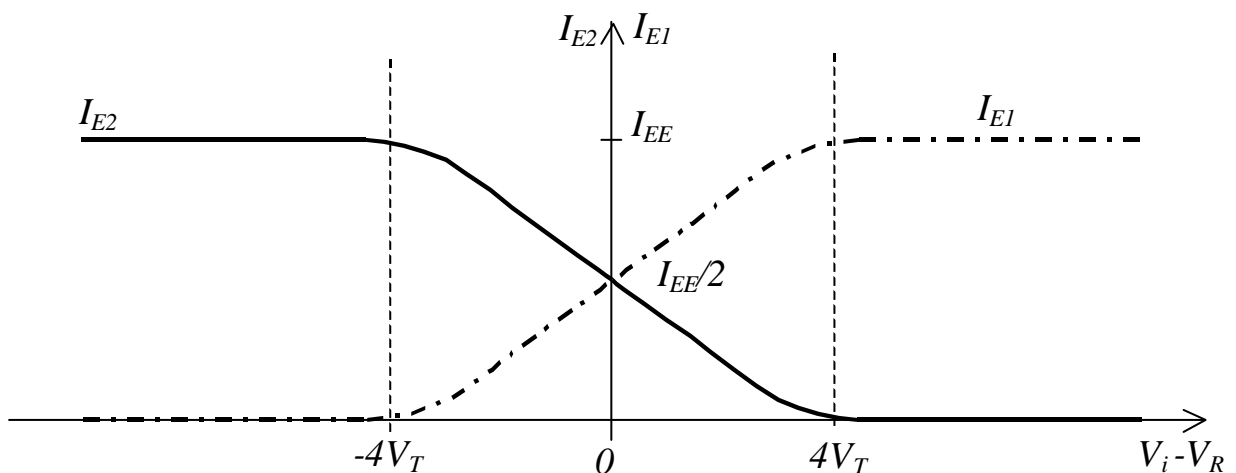
$$V_i > V_R \Rightarrow T_i \text{ ON y } T_2 \text{ OFF} \Rightarrow V_{o1} = V(0) \text{ y } V_{o2} = V(1).$$

Si todas las entradas están a nivel bajo:

$$V_i < V_R \Rightarrow T_i \text{ OFF y } T_2 \text{ ON} \Rightarrow V_{o1} = V(1) \text{ y } V_{o2} = V(0).$$

En la salida V_{o1} se realiza la operación NOR y en la V_{o2} la operación OR.

La operación lógica se fundamenta en la conmutación de intensidad entre ambos lados del par diferencial.

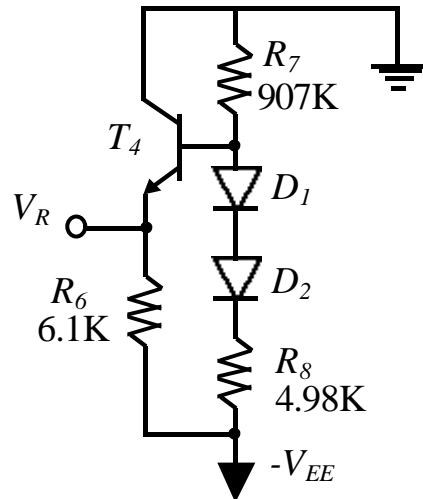


FORMACIÓN DE UNA PUERTA BÁSICA

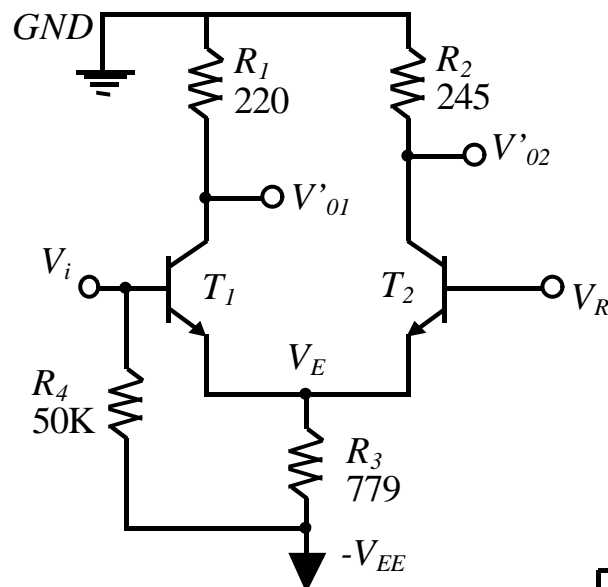
En la estructura general se precisan 3 fuentes de Suministro de energía (V_{CC} , V_{EE} y V_R).

Lo interesante es tener una sola V_{EE} (-5.2V).

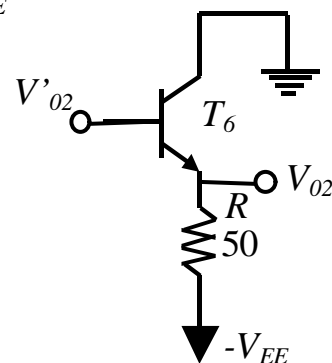
1. En lugar de conectar a V_{CC} conectamos a Tierra.
2. Sustituyendo V_R por un circuito que proporcione ese valor a partir de V_{EE} .



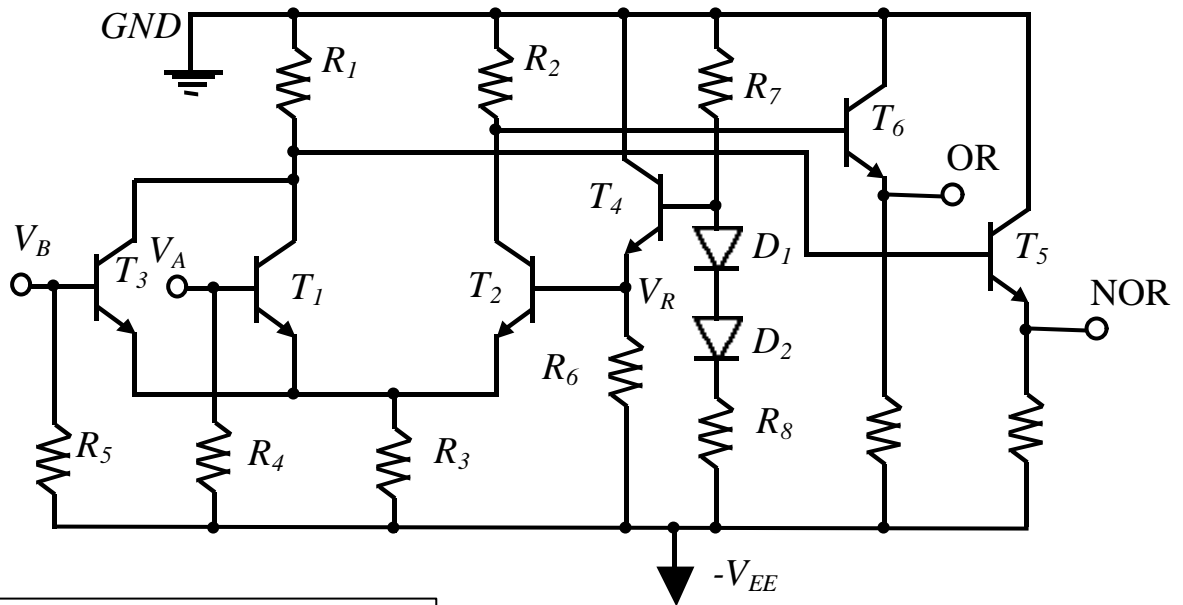
Así mismo la fuente de intensidad I_{EE} puede construirse de la forma más simple con una resistencia. (se pueden usar soluciones mejores).



Para terminar, a la estructura básica se le añade un circuito desplazador de nivel, para asegurar el funcionamiento de los transistores en el par diferencial.



PUERTA BÁSICA OR-NOR ECL (10K)



Características ECL (10K):

(Valores típicos de Cat.)

$V_{EE} = -5.2 \text{ V}$;

Fan-out: 10;

$T_p = 2 \text{ ns}$;

$V_{OH} = -0.9 \text{ V}$; $V_{OL} = -1.74 \text{ V}$;

$V_{IH} = -1.22 \text{ V}$; $V_{IL} = -1.42 \text{ V}$;

$P_m = 24 \text{ mW}$

Problemas de ECL (10K):

Variación con la Temperatura

$V_R \leftrightarrow 1.1 \text{ mV/}^\circ\text{C}$

$V_o(0) \leftrightarrow 0.6 \text{ mV/}^\circ\text{C}$

$V_o(1) \leftrightarrow 1.5 \text{ mV/}^\circ\text{C}$

Para resolver los problemas de la ECL (10K) aparece una serie ECL más rápida, con aproximadamente los mismos valores lógicos, pero con un mayor consumo de potencia.

Serie ECL (100K):

Valores típicos

$V_{EE} = -4.5 \text{ V}$;

$T_p = 0.75 \text{ ns}$;

$P_m = 40 \text{ mW}$;

Serie ECL (100K):

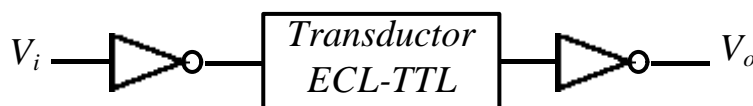
Variación con la Temperatura

$V_R \leftrightarrow 0.1 \text{ mV/}^\circ\text{C}$

$V_o(0) \leftrightarrow 0.1 \text{ mV/}^\circ\text{C}$

$V_o(1) \leftrightarrow 0.1 \text{ mV/}^\circ\text{C}$

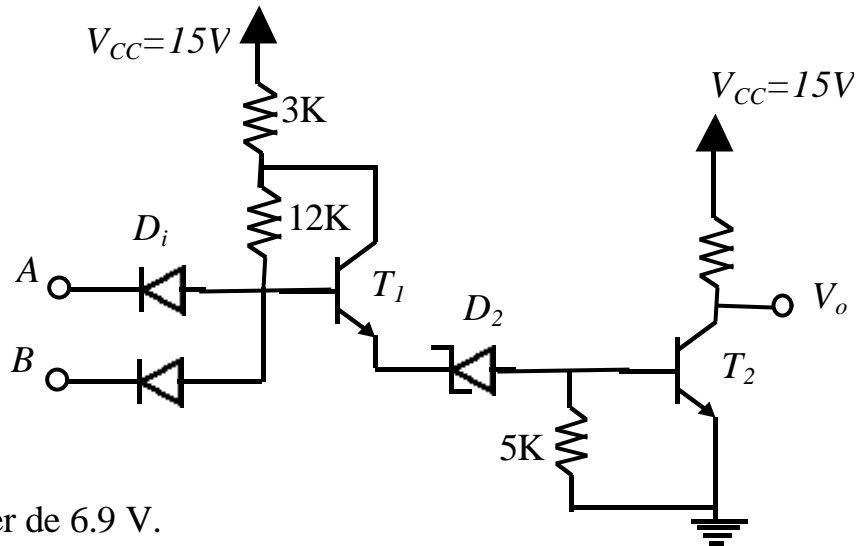
Para conectar dispositivos basados en ECL con dispositivos basados en TTL se usan Circuitos Transductores (convierten un valor eléctrico en otro).



OTRAS LÓGICAS BIPOLARES

LÓGICA HTL (LÓGICA DE UMBRAL ELEVADO)

Está basada en DTL. Tiene un margen de ruido muy alto. Útil en ambientes con mucha interferencia electromagnética.



D_2 es un zener de 6.9 V.

LÓGICA I²L (LÓGICA DE INYECCIÓN INTEGRADA)

Es la opción bipolar para el caso de gran escala de integración (LSI-VLSI). Fue desarrollada por Philips e IBM en los años 70 y desplazada por el uso de tecnologías CMOS. Ahora se está usando en BiCMOS.

CIRCUITO I²L BÁSICO

