

TEMA VII.- FAMILIAS LÓGICAS

Una vez que hemos visto la manera de analizar y diseñar sistemas lógicos a partir de circuitos lógicos combinacionales, el siguiente paso es estudiar cómo podemos construir las puertas básicas a partir de elementos de circuitos. Estos elementos van a ser principalmente dispositivos semiconductores. No obstante no hay que olvidar que no siempre se han fabricado de esta forma, es más, el principio de la Electrónica Digital empezó con el descubrimiento de los relés y tubos de vacíos.

Cuando el diseñador implementa las puertas (a medida) que necesita para su diseño, se dice que ha realizado un diseño *full-custom*. Estas puertas estarán diseñadas utilizando elementos de circuitos, principalmente transistores. En este diseño no nos tenemos que limitar a utilizar las puertas típicas, sino que podemos crear las puertas lógicas que necesitemos. Un ejemplo de puerta que no suele estar disponible es la que tiene como fórmula:

$$F = A \cdot B + C$$

A partir de los transistores, podemos crear una puerta lógica que tenga dicha funcionalidad, sin tener que utilizar una puerta AND y una puerta OR.

1. Introducción.

A la hora de construir las puertas lógicas, un criterio ampliamente seguido (realmente en cualquier disciplina, no sólo en Electrónica) es el criterio de uniformidad, es decir, las diferencias entre las diferentes puertas lógicas deben reducirse a las mínimas. Este criterio es la base de la definición de familia lógica,

Una **familia lógica** se puede definir como la estructura básica a partir de la cual se pueden construir las puertas lógicas.

En esta estructura estarán involucrados tanto los componentes que entran en juego, así como sus valores (ya que si cambiamos estos valores, pasaremos a otra familia diferente), ya que los parámetros van a depender de éstos.

Al centrarnos en Electrónica Digital, no debemos perder de vista que las señales sólo pueden tomar dos valores diferentes. Por lo tanto, los elementos principales de estas familias lógicas deben tener como mínimo dos regiones de operación bien diferenciadas. Esta situación nos lleva a la utilización de dispositivos semiconductores, aunque en los principios se utilizaron válvulas y conmutadores eléctricos (que presentaban un comportamiento similar).

Una posible clasificación de estas familias, según los dispositivos semiconductores en los que se basan, es:

- Familias bipolares.- emplean transistores bipolares y diodos, es decir, dispositivos de unión. Las familias bipolares más representativas son las familias TTL y ECL.
- Familias MOS.- emplean transistores MOSFET, es decir, transistores de efecto campo. La familias MOS más representativas son las familias NMOS y CMOS.

Cada una de estas familias van a tener una serie de parámetros cuyos valores van a ser más o menos fijos. Los principales parámetros de las familias lógicas son:

- Parámetros temporales (figura 7.1).
 - Retraso de propagación de bajo a alto, t_{PLH} .- tiempo transcurrido desde que la señal de entrada baja (pasa por el 50%) hasta que la señal de salida sube (pasa por el 50%).
 - Retraso de propagación de alto a bajo, t_{PHL} .- tiempo transcurrido desde que la señal de entrada sube (pasa por el 50%) hasta que la señal de salida baja (pasa por el 50%).

El hecho de subida y bajada se debe a que las principales familias son negativas, es decir, la salida que obtenemos es el valor negado de dicha función.

- Retraso de propagación.- valor medio de t_{PLH} y t_{PHL} .
- Tiempo de transición de bajo a alto, t_{TLH} .- tiempo transcurrido desde que la señal empieza a subir (pasa por el 10%) hasta que llega a un nivel alto (pasa por el 90%).
- Tiempo de transición de alto a bajo, t_{THL} .- tiempo transcurrido desde que la señal empieza a bajar (pasa por el 90%) hasta que llega a un nivel bajo (pasa por el 10%).

Es decir, se considera que una transición se ha completado cuando pasamos de los umbrales del 10% y el 90%. Este hecho es debido a que la forma de onda a partir de esos valores cambia, pudiendo no llegar nunca a los valores del 0% o al 100%.

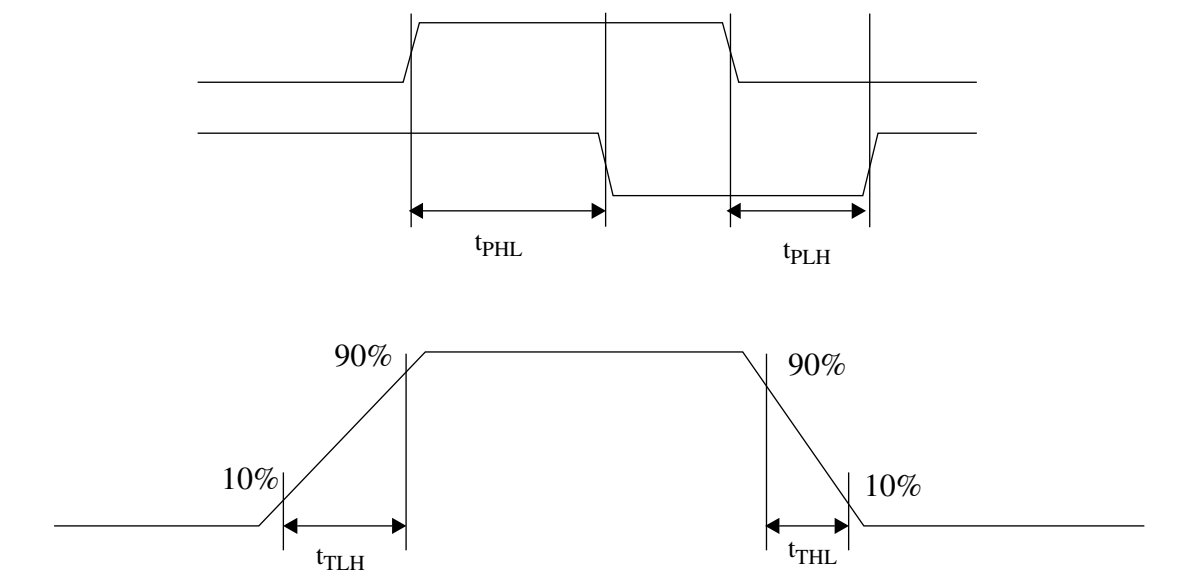


Figura 7.1.- Esquema de los parámetros temporales.

- Parámetros de tensión (figura 7.2).
 - Nivel alto de la salida (entrada), V_{OH} (V_{IH}).- nivel de tensión considerada como alto para la salida (entrada).
 - Nivel bajo de la salida (entrada), V_{OL} (V_{IL}).- nivel de tensión considerada como alto para la salida (entrada).

La forma de determinar estos parámetros es la siguiente. Para determinar el nivel de salida alto (V_{OH}), se le aplica a la entrada la mínima tensión del circuito (por lo general el valor de tierra), así el valor a la salida será el solicitado. Para determinar el nivel de salida bajo (V_{OL}), se le aplica a la entrada V_{OH} , así el valor de salida será el solicitado. Para obtener los niveles de entrada, se va variando la entrada desde los valores de salida hasta que la salida cambia de estado; en ese momento, se encuentran los niveles de entrada alto o bajo según corresponda.

- Margen de ruido del nivel alto, V_{NSH} .- la diferencia de tensión desde el nivel alto que se puede considerar como tal.
- Margen de ruido del nivel bajo, V_{NSL} .- la diferencia de tensión desde el nivel bajo que se puede considerar como tal.

Estos valores se obtienen según la diferencia de valores que podemos ver en la figura.

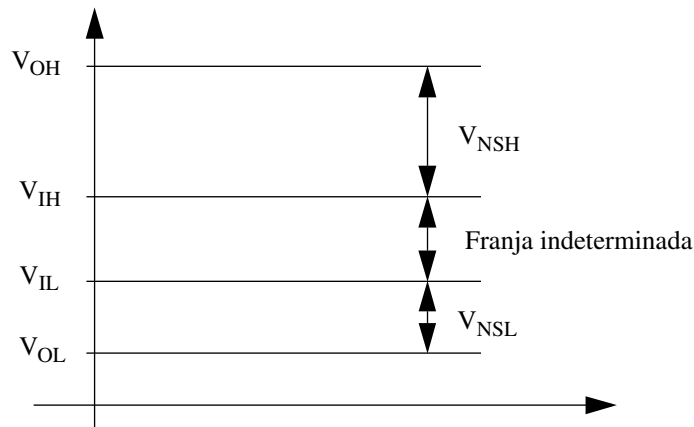


Figura 7.2.- Esquema de los parámetros de tensión.

- Parámetros de intensidad (figura 7.3).
 - Fan-out.- número máximo de puertas que se pueden conectar a la salida sin que se degrade la señal de salida.
 - Fain-in.- número máximo de puertas que se pueden conectar a la entrada sin que se degrade la operación de la puerta lógica.

Estos parámetros se han definido como de intensidad, ya que la limitación que supone se suele ver en términos de intensidad que piden o dan a la puerta lógica. En función de esta cantidad de intensidad, la puerta lógica puede dejar de funcionar como se espera (cambiando de zona de operación), produciendo un resultado erróneo.

- Parámetros de potencia
 - Potencia media consumida.- Es la energía que solicita a la fuente de tensión. Este parámetro es cada día más importante debido al auge que están adquiriendo los sistemas "sin cable". Este parámetro está íntimamente relacionado con la vida de la batería de estos sistemas.

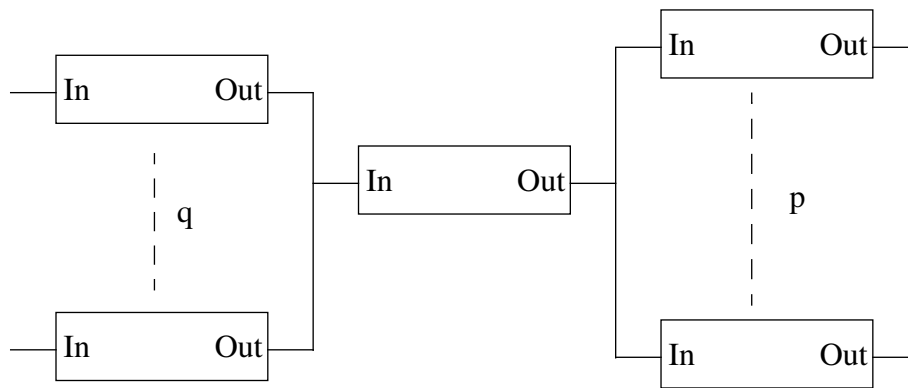


Figura 7.3.- Esquema de los parámetros de intensidad.

2. Familia DL (Diode Logic)

De forma previa al estudio de las familias actuales, se va a realizar el estudio de la familia DL (Diode Logic), ya en desuso pero muy simple. Esta familia se basa en diodos, a los que se unen resistencias para evitar la destrucción de éstos. Un modelo de operación de un diodo se muestra en la figura 7.4, pudiendo distinguirse dos zona de operación:

- Conducción u ON, en la que su tensión es de V_γ
- Corte u OFF, en la que la intensidad a través de él se puede considerar nula.
- Podemos apreciar otra zona, denominada de ruptura, en la que el diodo se convierte en un cortocircuito, que debe ser evitada. Para no llegar nunca a esta zona, se utilizan las resistencias a las que hacíamos mención anteriormente.

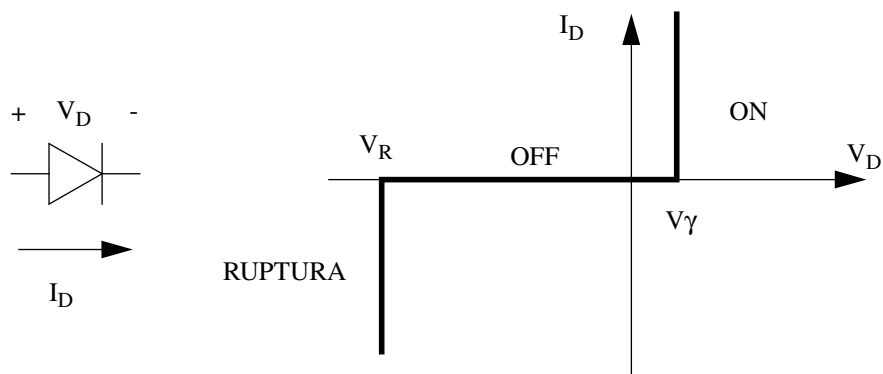


Figura 7.4.- Símbolo y característica IV del diodo.

Una puerta de una sola entrada de la familia DL, junto a su modo de operación se muestra en la figura 7.5. La operación de esta puerta es la siguiente, pero no nos podemos olvidar de que los valores de tensión estarán entre los niveles de tierra ('0' -> 0v.) y de polarización ('1' -> > 5v.).

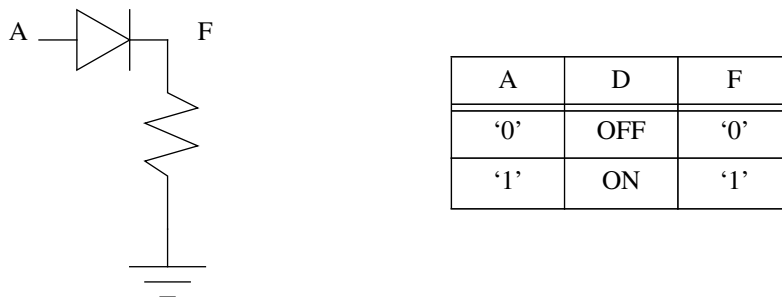


Figura 7.5.- Esquema y tabla de verdad de una puerta construida con lógica DL.

- Cuando en la entrada tenemos un '0', la tensión que hay en el diodo será de 0v. o menor, por lo que el diodo estará en corte. En esta situación, la intensidad será 0, y por lo tanto, la tensión que cae en la resistencia también será 0. Luego en la salida tendremos directamente la tensión de tierra, es decir, 0v. o '0'.
- Cuando en la entrada tenemos un '1', la tensión que ahí en el diodo es positiva, por lo que estará en conducción. En esta situación, la tensión que cae en el diodo es la de conducción, es decir, $V\gamma$. Luego en la salida tendremos $V_{DD} - V\gamma$.

En la tabla 7.1 mostramos los principales parámetros de tensión. En este caso los parámetros de intensidad deberán tomar los valores suficientes para que el diodo no entre en su zona de ruptura.

	Entrada	Salida	Margen de ruido
Nivel bajo	$V\gamma$	0	$V\gamma$
Nivel alto	V_{DD}	$V_{DD} - V\gamma$	$V\gamma$

Table 7.1. Parámetros de tensión típicos de la familia lógica DL.

3. Familias bipolares.

Las familias bipolares son aquellas basadas en los transistores de unión o bipolares. Estos transistores se pueden clasificar en dos tipos, según las uniones semiconductoras: npn y pnp. En la figura 7.6 se muestran las uniones, símbolos y su representación como diodos. De estos dos tipos de transistores, los más empleados son los transistores npn ya que presentan una ganancia mayor, y por lo tanto serán los más rápidos.

Debido a la aparición de dos diodos en cada transistores, estos transistores mostrarán cuatro zonas de operación (las combinaciones de las diferentes zonas de cada diodo). En la figura 7.7 se muestran dichas zonas y sus principales propiedades.

- Zona de corte. El transistor se comporta como un circuito abierto, por lo que no circula intensidad por ninguno de sus terminales. En esta zona los dos diodos se encuentran cortados.
- Zona activa directa, u zona óhmica. El transistor se comporta como un amplificador de intensidad desde la base hasta el colector. En este caso, el diodo base-emisor está conduciendo, mientras que el base-colector está cortado.

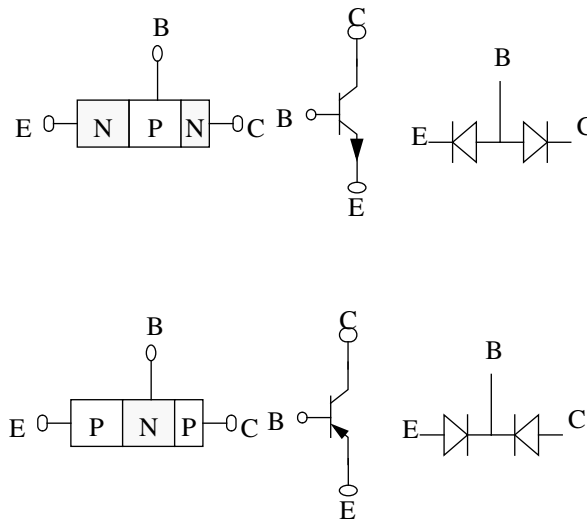


Figura 7.6.- Uniones, símbolos y representación con diodos de transistores bipolares.

- Zona activa inversa. Es una zona parecida a la anterior, pero cambiando los terminales de emisor y colector. La principal diferencia (aparte de la anterior) es que la amplificación es sustancialmente menor.
- Zona de saturación. El transistor se comporta como un cortocircuito entre el colector y el emisor, que debido a las diferencias geométricas de ambas uniones mantiene una pequeña tensión. En esta zona los dos diodos se encuentran conduciendo.

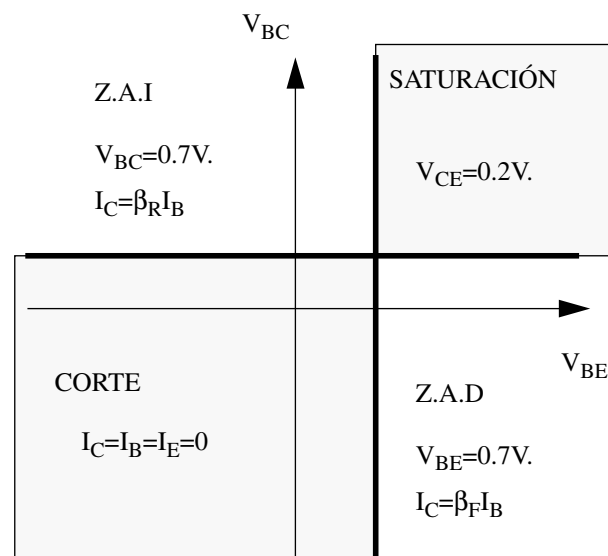


Figura 7.7.- Zonas de operación de los transistores bipolares.

De estas cuatro zonas, sólo nos interesará que los transistores estén en dos de ellas: corte y saturación, que son las más parecidas a las zonas del diodo. Por lo tanto, para la correcta operación de las puertas lógicas debemos evitar las otras zonas (activa directa y activa inversa), excepto en los casos que sean necesarias.

Una vez que se ha descrito brevemente el transistor bipolar, así como sus diferentes zonas de operación, vamos a describir las principales familias bipolares: familia TTL y familia ECL.

3.1. Familia TTL (Transistor Transistor Logic).

Esta familia es una de las más empleadas en la construcción de dispositivos MSI. Está basada en el transistor multi-emisor. Este transistor es un transistor con varios emisores, una sola base y un solo colector. En la figura 7.8 mostramos el símbolo de este transistor, su representación en transistores con un solo emisor y su forma de operación:

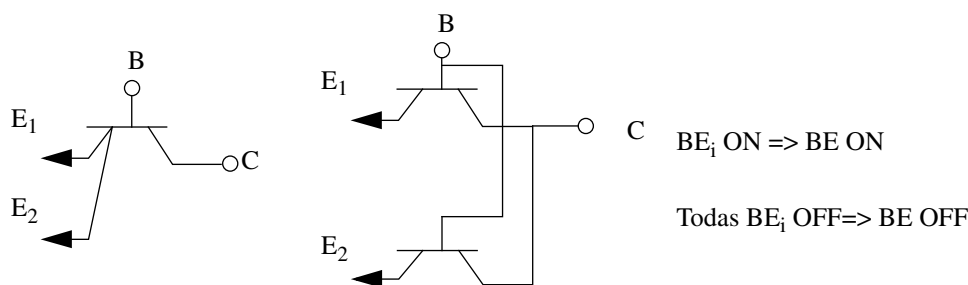


Figura 7.8.- Símbolo y forma de operación de un transistor multiemisor.

Un esquema típico de una puerta TTL se muestra en la figura 7.9, junto con su tabla de funcionamiento (donde también se indica la zona de operación de los diferentes transistores). El funcionamiento de la puerta es el siguiente. Debido a que la intensidad de base de un transistor bipolar es muy pequeña, en primera aproximación podemos decir que es nula por lo que la base del transistor T1 siempre está conectado a polarización. Cuando cualquiera de las entradas se encuentra en un nivel bajo, el transistor T1 se encontrará en la región de saturación, ya que la unión BE está conduciendo y la unión BC siempre está directamente polarizada, lo cual provocará que la base del transistor T2 tenga una tensión de 0.4 v (0.2v de la caída entre colector y emisor y 0.2v del nivel bajo, como ya veremos). Esta situación provoca que dicho transistor esté cortado. Al estar T2 cortado, la tensión de base de T3 será 0, lo cual implica que T3 también esté cortado. En cambio, el transistor T4 estará en zona activa directa o en saturación (dependiendo de los valores de las resistencias R2 y R4), que provocará que el diodo conduzca colocando en la salida un nivel alto.

Cuando todas las entradas se encuentren a nivel alto, el transistor T1 estará en la zona activa inversa, ya que la unión BE está cortada y la unión BC está conduciendo. Esta situación provoca que la tensión de base del transistor T2 sea aproximadamente de 1.4 v., llevando a dicho transistor a saturación. Por lo tanto, el transistor T3 estará igualmente saturado y en la salida se colocará un nivel bajo. En cambio, el transistor T4 se encontrará en zona activa directa, pero el diodo no conducirá, desconectando la salida de la tensión de polarización.

Así, los niveles de tensión y márgenes de ruido de esta familia, de forma aproximada, son los mostrados en la tabla 7.2. La obtención de estos valores se puede desprender de la tabla de operación de los transistores de la figura 7.9.

- $V_{OL} = V_{CE(SAT)3} = 0.2v$

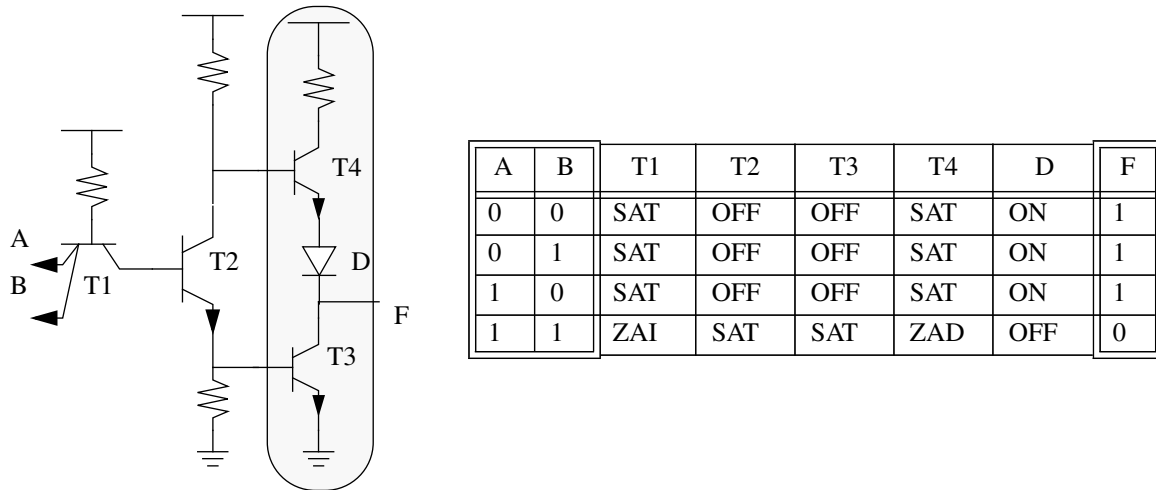


Figura 7.9.- Esquema y tabla de verdad de una puerta lógica construida con lógica TTL.

- $V_{OH} = V_{DD} - V_{BE(SAT)4} - V_{D(ON)} = 3.8 \text{ v.}$
- V_{IH} es la tensión para que el transistor T1 salga de zona activa inversa.
- V_{IL} es la tensión para que el transistor T1 salga de saturación.

Nivel	Entrada	Salida	Margen de ruido
Bajo	1.6 v	0.2 v.	1.4 v.
Alto	3.2 v.	3.8 v.	0.6 v.

Table 7.2. Parámetros de tensión de la familia lógica TTL.

En la figura anterior, la zona punteada corresponde a la etapa de salida de la puerta. Esta etapa no es única, sino que existen varios tipos de etapas de salida. Entre estos tipos, podemos encontrar:

- la salida totem-pole,
- la salida con carga resistiva
- y la salida en colector abierto (siempre hay que conectarle una carga a la salida)

mostradas en la figura 7.10:

Como pudimos ver en el primer ejemplo, la lógica de esta familia es negada, es decir, la salida siempre está complementada. También podemos apreciar que la utilización de un transistor multiemisor genera la operación AND de los emisores. También podemos generar operaciones OR de los términos producto. Luego, con la familia TTL sólo podemos generar las siguientes estructuras:

- Inversores
- AND - inversor
- AND - OR - inversor

Estas estructuras se muestran en la figura 7.11.

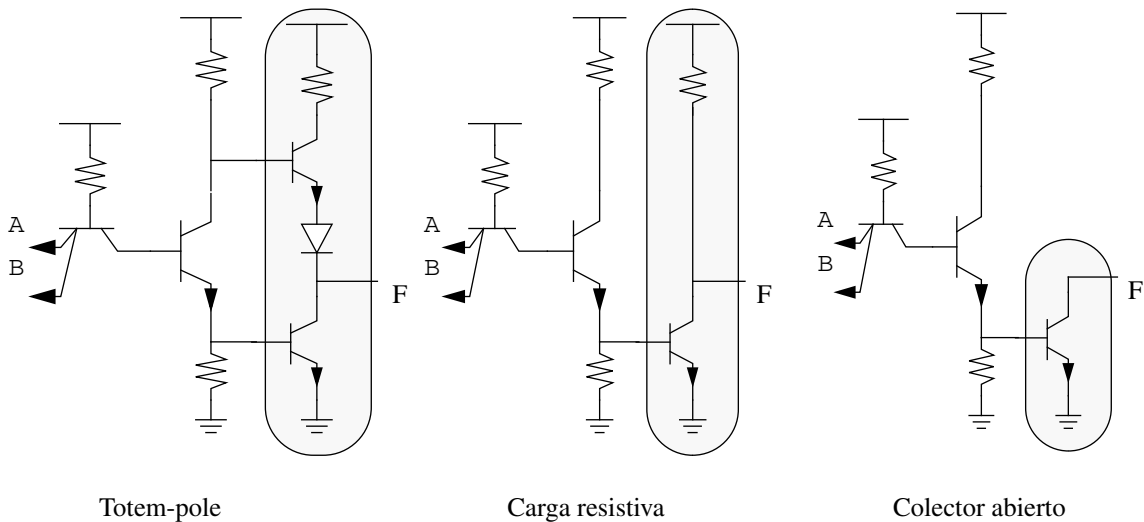


Figura 7.10.- Diferentes etapas de salida de la familia lógica TTL.

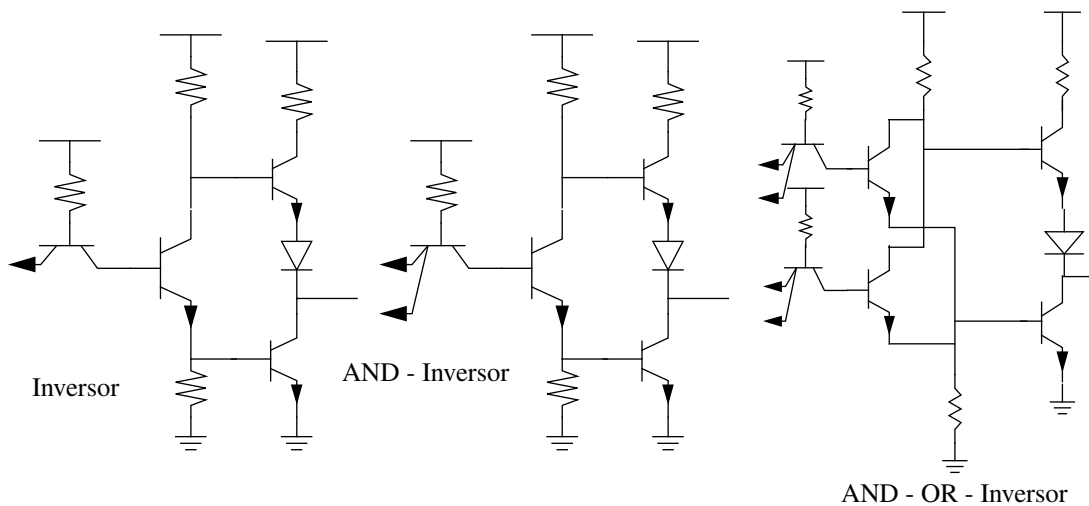


Figura 7.11.- Diferentes estructuras posibles con la familia TTL.

3.2. Familia ECL (Emitter Coupled Logic).

La familia ECL se basa en un amplificador diferencial. Para que el retraso de esta familia sea mínimo, se impone la restricción de que los transistores del amplificador trabajen en los límites de Z.A.D. - corte y Z.A.D. - saturación. Este hecho implica que la diferencia de tensión que tenga que soportar sea mínima. Esta situación tiene tres implicaciones básicas:

- niveles de tensión altos y bajos cercanos (que le proporciona una alta velocidad)
- incompatibilidad con otras familias lógicas
- disposición de salidas diferenciales, es decir, tanto de la salida complementada como sin complementar.

El esquema de una puerta lógica ECL, junto a su tabla de comportamiento (en la que se ha incluido la zona de operación de sus transistores y los límites de los transistores de amplificación), se muestran en la figura 7.12:

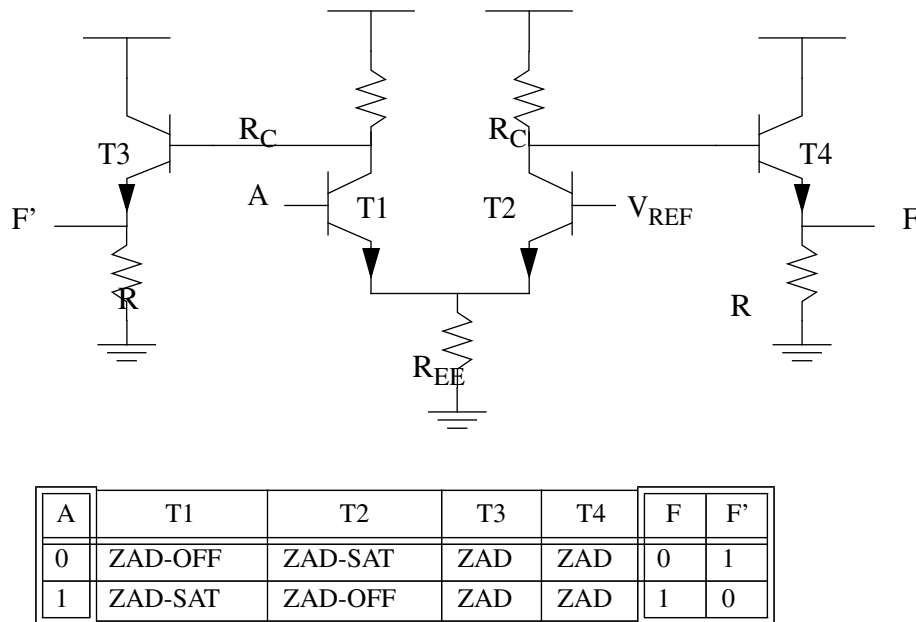


Figura 7.12.- Esquema y tabla de verdad de una puerta construida con lógica ECL.

El funcionamiento de la puerta es el siguiente. Los niveles lógicos estarán alrededor de la tensión V_{REF} , luego la intensidad que pasará por la resistencia R_{EE} será aproximadamente constante e igual a:

$$I_{EE} = (V_{REF} - V_{\gamma})/R_{EE}$$

Cuando en la entrada existe un nivel bajo (una tensión menor que V_{REF}), el transistor T1 estará en el límite de corte mientras que el T2 estará en el límite de saturación. Por lo tanto, toda la intensidad pasará a través de T2. Así los valores de tensión en los colectores de T1 y T2 serán V_{cc} y $V_{cc} - I_{EE} \cdot R_C$, respectivamente. Podemos apreciar que estos valores dependen en gran medida de la intensidad, y por lo tanto el fan-out tiene una gran influencia. Para reducir esta influencia y aumentar este fan-out, necesitaremos unas etapas de salida, formadas por las parejas de los transistores T3 y T4 con sus respectivas resistencias. Los transistores T3 y T4 siempre estarán en zona activa directa suministrando la intensidad necesaria y desacoplando la función lógica del resto del circuito. Por lo tanto, la señal F' tendrá un nivel alto ($V_{cc} - V_{BE(ON)}$), y la señal F tendrá un nivel bajo ($V_{cc} - V_{BE(ON)} - I_{EE} \cdot R_C$).

Cuando en la entrada existe un nivel alto, la operación es similar cambiando el transistor T1 por el T2.

Así, los niveles de tensión y márgenes de ruido de esta familia, de forma aproximada, se muestran en la tabla 7.3. Los valores de V_{REF} , R_C y R_{EE} se establecen para que dichos valores se encuentren cerca de la mitad de los raíles de polarización.

Nivel	Entrada	Salida	Margen de ruido
Bajo	$V_{REF} - 0.3v$	$4.3 v. - R_C \cdot (V_{REF} - 0.7) / R_{EE}$	$V_{REF} \cdot (R_C / R_{EE} + 1) - 4.6 - 0.7 \cdot R_C / R_{EE}$
Alto	$V_{REF} - 0.3$	4.3 v.	$4.6 v. - V_{REF}$

Table 7.3. Parámetros de tensión de la familia lógica ECL.

Para mantener las anteriores condiciones de operación, en una sola puerta ECL únicamente se pueden implementar las siguientes operaciones:

- inversión/seguimiento
- operación nor/or

tal como podemos ver en la siguiente figura:

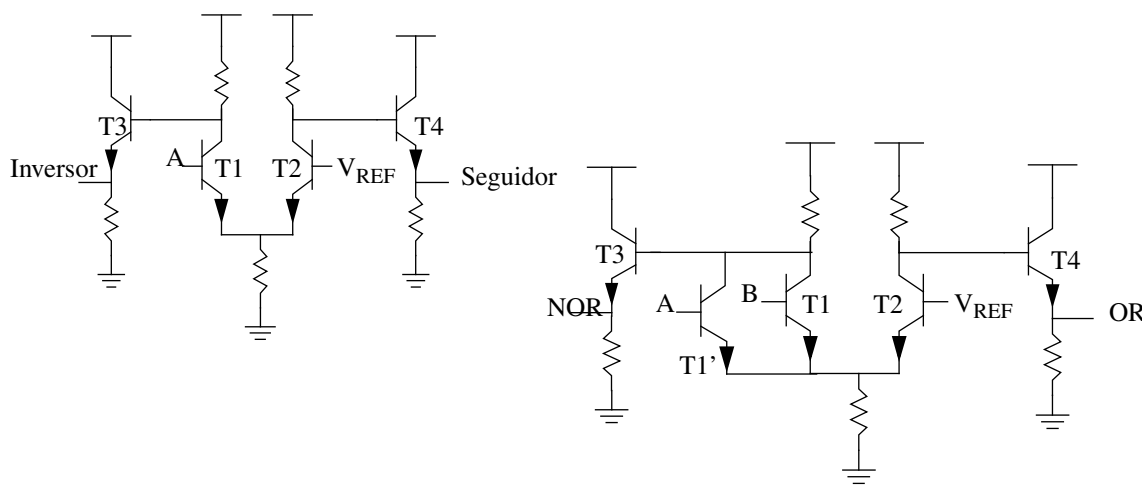


Figura 7.13.- Posibles estructuras que se pueden construir con la familia ECL.

4. Familias MOS.

Las familias MOS son aquellas que basan su funcionamiento en los transistores de efecto campo o MOSFET. Estos transistores se pueden clasificar en dos tipos, según el canal utilizado: NMOS y PMOS. En la figura 7.14 se muestran su estructura y varios símbolos:

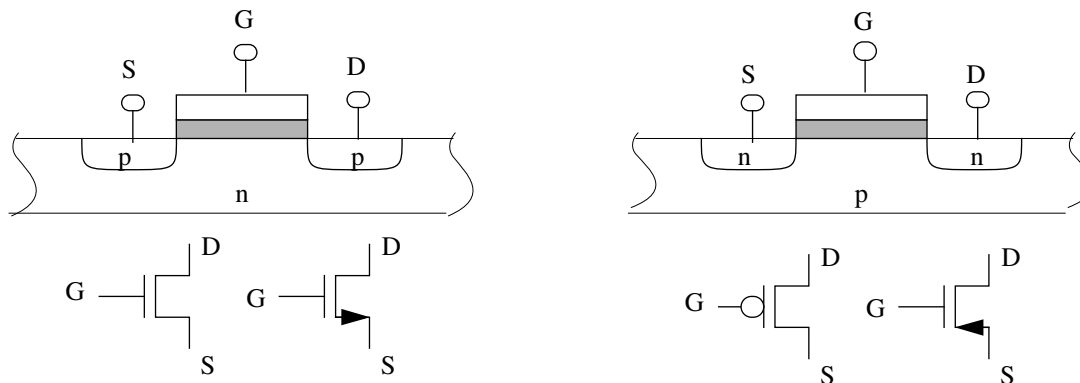


Figura 7.14.- Representación y símbolos de los transistores MOSFET.

El transistor MOS se puede identificar como un interruptor controlado por la tensión de puerta, V_G , que determinará cuando conduce y cuando no. En la figura 7.15 describimos la operación de estos transistores como interruptores.

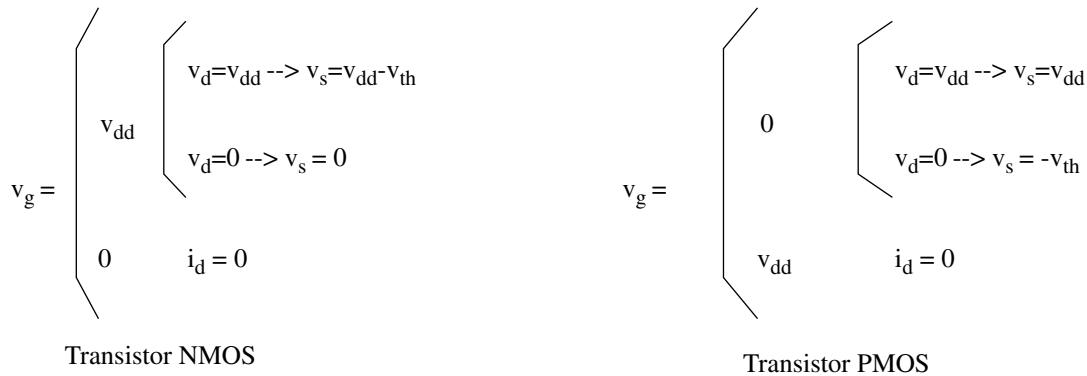


Figura 7.15.- Zonas de operación de los transistores MOSFET.

Al igual que sucedía con los transistores bipolares, los transistores PMOS muestran una ganancia menor que los NMOS, por lo que estos últimos predominan en la generación de las familias.

4.1. Familia NMOS.

La familia NMOS se basa en el empleo únicamente de transistores NMOS para obtener la función lógica. Un esquema de esta familia se muestra en la figura 7.16.

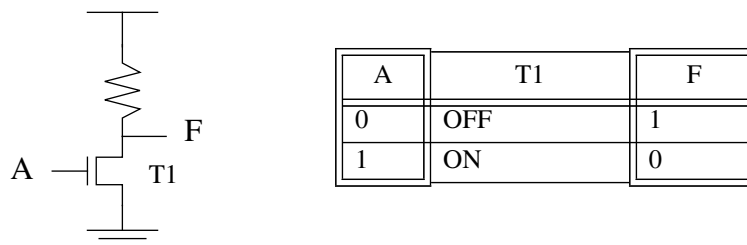


Figura 7.16.- Esquema y tabla de verdad de un puerta construida con lógica NMOS.

El funcionamiento de la puerta es el siguiente. Cuando la entrada se encuentra en un nivel bajo, el transistor NMOS estará en su zona de corte. Por lo tanto, la intensidad que circulará por el circuito será nula y en la salida se encontrará la tensión de polarización, es decir, un nivel alto.

Cuando la entrada se encuentra en un nivel alto, el transistor estará conduciendo y se comportará aproximadamente como un interruptor. Por lo tanto, en la salida estará un nivel bajo.

En este caso la resistencia actúa de *pull-up* de la estructura. Vamos a introducir dos nuevos conceptos, que aunque no son exclusivos de las familias MOS, sí son muy empleados en este tipo de circuitos.

El pull-up es el dispositivo que suministra el nivel alto (conecta la tensión de polarización a la salida)

Mientras que el pull-down suministra el nivel bajo (conecta la tierra).

Existen diferentes tipos de pull-up, como puede ser la resistencia, transistores de deplexión o transistores saturados, mostrados en la figura 7.17:

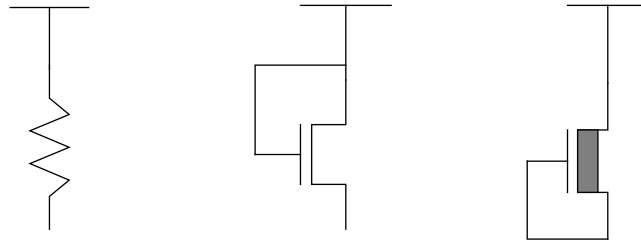


Figura 7.17.- Diferentes tipos de pull-up de la familia lógica NMOS.

En la familia NMOS se puede construir cualquier función arbitraria siempre y cuando se mantengan las limitaciones tecnológicas (que suelen traducirse en la conexión en serie de un número máximo de transistores). Para formar cualquier función, las estructuras son las siguientes:

- la conexión en paralelo de dos transistores (o grupo de ellos) actúa como una puerta OR,
- la conexión en serie de dos transistores (o grupo de ellos) actúa como una puerta AND.

No obstante, hay que tener en cuenta que esta familia (al igual que la TTL) siempre devuelve el complemento de la función. Algunos ejemplos de puertas complejas se muestran en la figura 7.18.

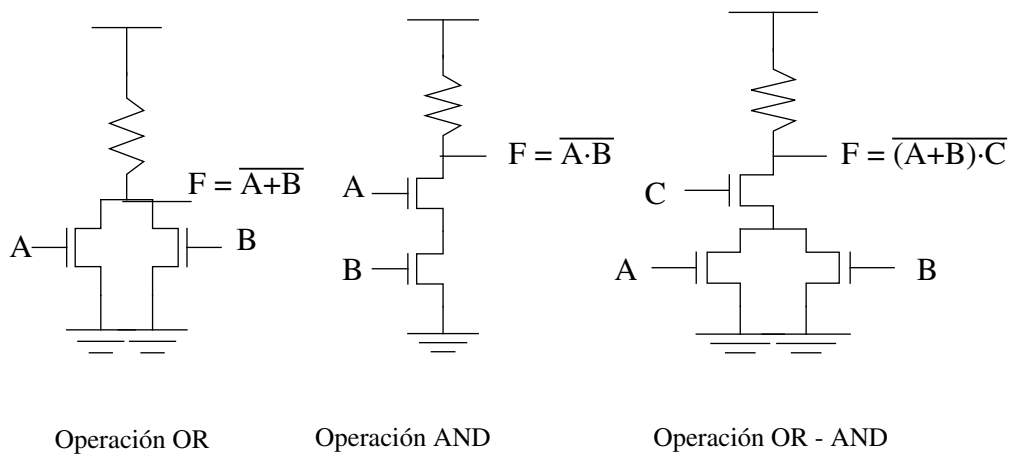


Figura 7.18.- Ejemplos de puertas lógicas NMOS.

4.2. Familia CMOS (Complementary MOS).

Esta familia basa su operación en la utilización de los transistores NMOS y PMOS funcionando como interruptores, de tal forma que los transistores NMOS suministran el nivel bajo (ya que no se degrada con la tensión umbral) y los transistores PMOS suministran el nivel alto (ya que no se degrada con la tensión umbral).

Una puerta construida con la familia CMOS solamente estará formada por transistores, como se muestra en la figura 7.19.

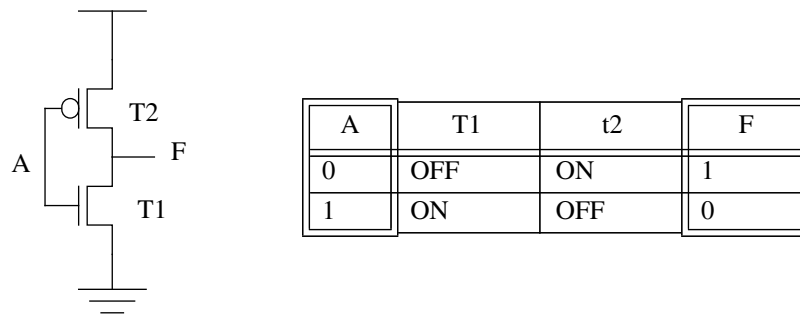


Figura 7.19.- Esquema y tabla de verdad de un puerta construida con lógica CMOS.

El funcionamiento de la puerta es el siguiente. Cuando en la entrada hay un nivel bajo, el transistor T1 estará cortado mientras que el T2 estará conduciendo. Por lo tanto, el transistor T2 colocará en la salida un nivel alto (que será directamente el nivel de polarización), y el transistor T1 evitará el paso de corriente por lo que no consume potencia en estática, sólo en el transitorio.

Cuando en la entrada hay un nivel alto, el transistor T2 estará cortado mientras que el T1 estará conduciendo. Por lo tanto, el transistor T1 colocara en la salida un nivel bajo (que será directamente el nivel de tierra), y el transistor T2 evitará el paso de corriente por lo que no consume potencia en estática, sólo en el transitorio.

En el caso de la familia CMOS, al igual que en la NMOS, se puede construir cualquier fórmula compleja. En el caso de los transistores NMOS, se construyen igual que en la familia NMOS, pero en los transistores PMOS es la función inversa. Es decir,

- la conexión en paralelo forma una operación AND,
- mientras que la conexión en serie forma una operación OR.

Se tiene que verificar que ambas ramas (de transistores NMOS y PMOS) generan la misma función lógica. Este hecho implicará que el nodo de salida siempre estará conectado a un solo nivel lógico, es decir, al nodo de polarización (nivel alto) o al nodo de tierra (nivel bajo). En el caso de que no se cumpla dicha restricción, podemos encontrarnos en dos situaciones diferentes:

- Que el nodo de salida esté conectado a la tensión de polarización y al nodo de tierra de forma simultánea. Esta situación no se debe permitir nunca, ya que el valor lógico de salida sería indeterminado.

- Que el nodo de salida no esté conectado a ningún nodo, ni a tensión de polarización ni a tierra. Esta situación es problemática porque dejaríamos la salida en alta impedancia y cualquier dispositivo parásito podría alterar el valor lógico.

Por lo tanto, algunos ejemplos de funciones complejas construidas en la familia CMOS se muestran en la figura 7.20.

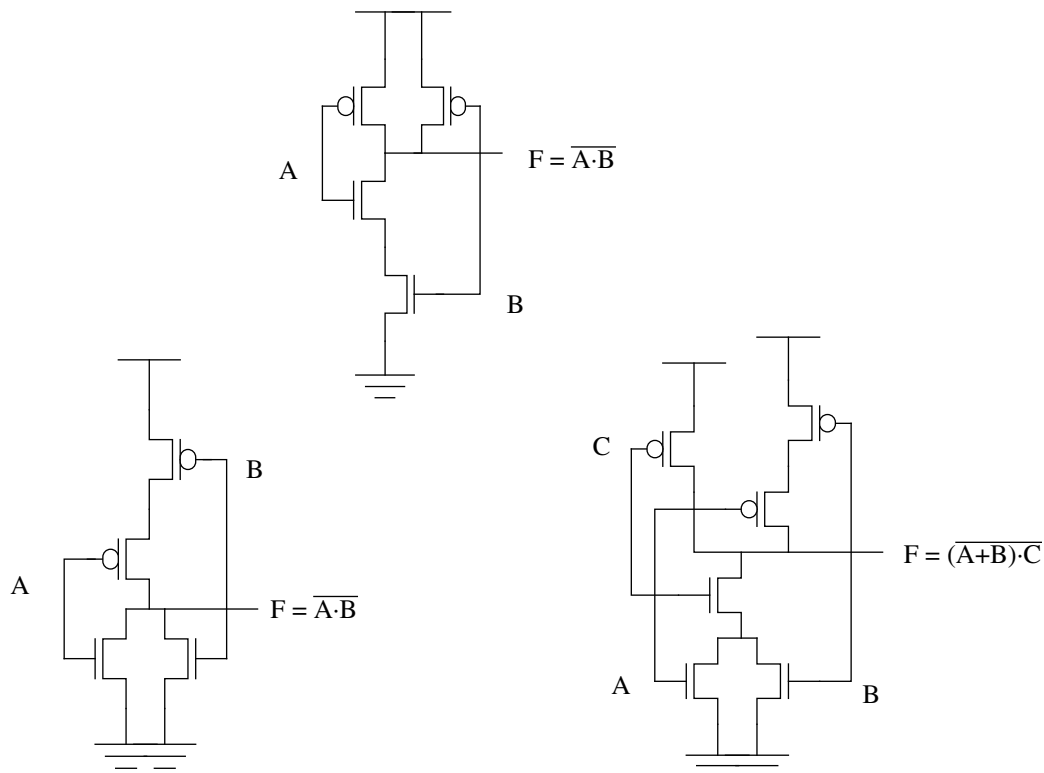


Figura 7.20.- Ejemplos de puertas lógicas CMOS.

5. Ejemplo.

Por último, vamos a ver como sería la implementación de una función utilizando las diferentes familias lógicas.

La función elegida es la función exclusiva OR de dos entradas. Debido a la diferencia de operaciones que se puede implementar por cada una de las familias, las fórmulas no podrán ser las mismas. También debido a la salida complementada de las funciones, y para utilizar el número mínimo de puertas, vamos a implementar la función negada. De esta forma, en la salida tendremos la función sin negar. Las diferentes fórmulas utilizadas serán las siguientes:

- TTL --> $\overline{F} = A \cdot B + \overline{A} \cdot \overline{B}$
- ECL --> $\overline{F} = (A+B)' + (A'+B)'$
- NMOS --> $\overline{F} = A \cdot B + \overline{A} \cdot \overline{B}$
- CMOS --> $\overline{F} = A \cdot B + \overline{A} \cdot \overline{B}$

Luego las puertas se muestran en la figura 7.21.

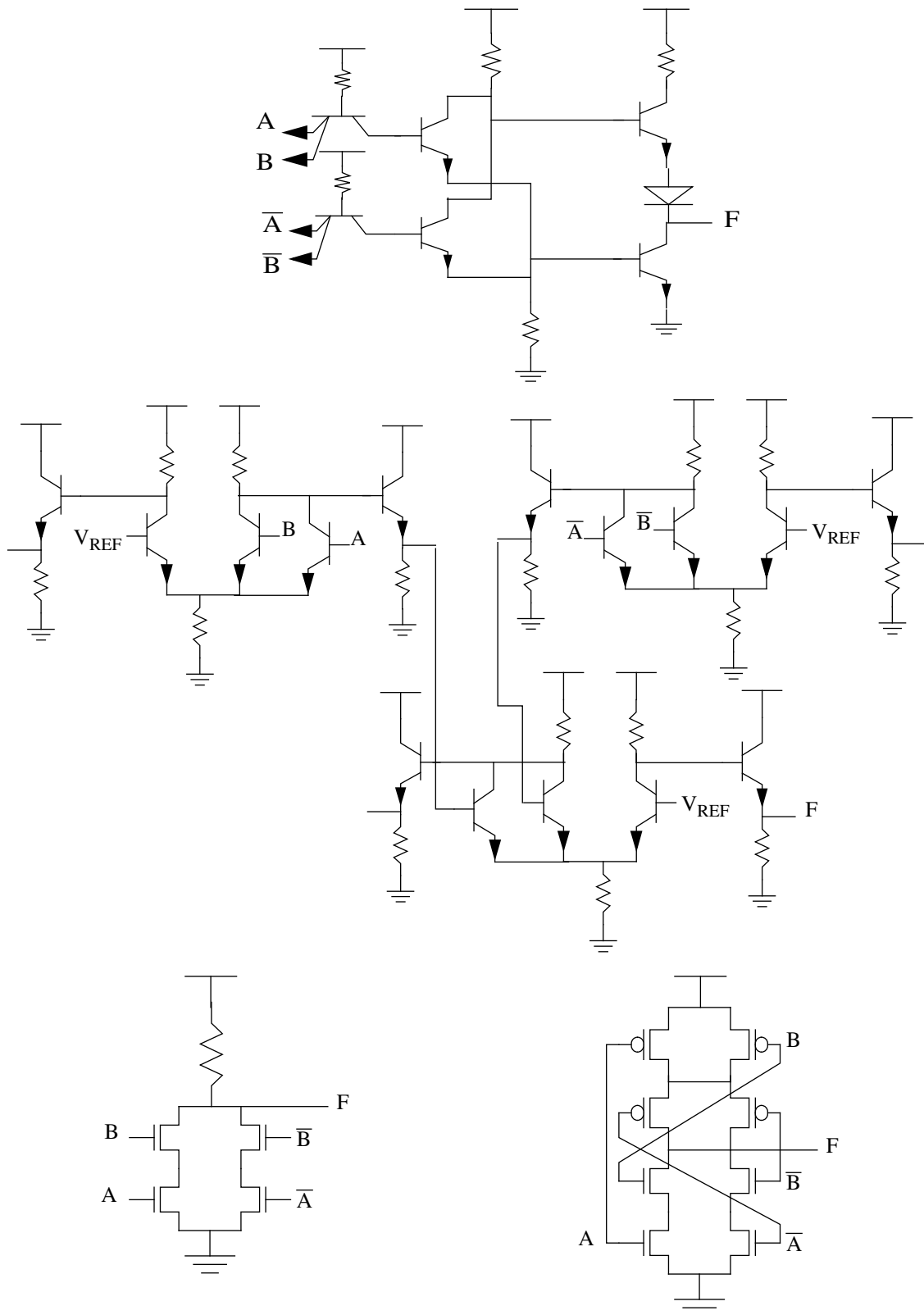


Figura 7.21.- Implementación de la función exclusiva-OR en las familias TTL, ECL, NMOS y CMOS respectivamente. Notar que debido a la función implementada, en la implementación CMOS, la conexión en paralelo de los transistores PMOS podría eliminarse.