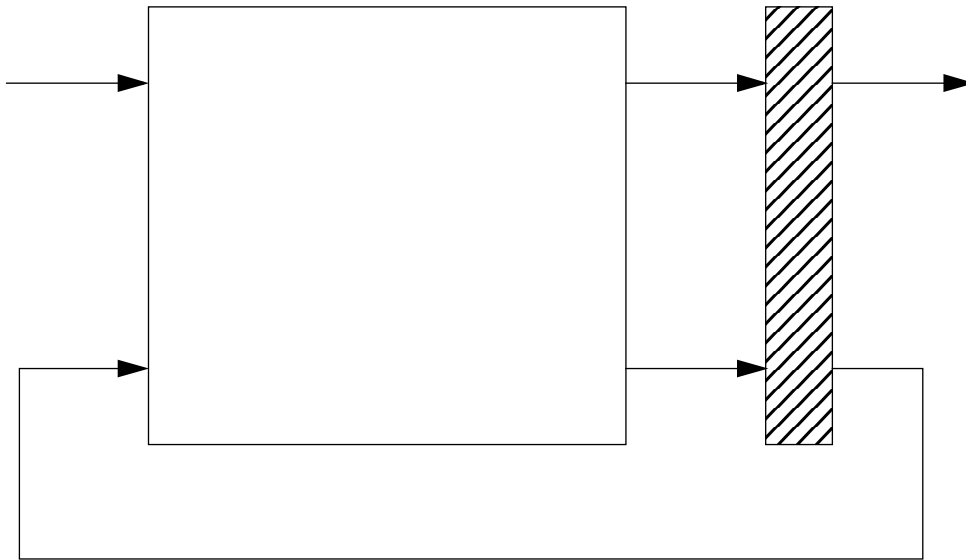


# TEMA VII: DISEÑO SECUENCIAL PROGRAMABLE

## ☞ SISTEMA SECUENCIAL



- ⇒ MAYOR UTILIZACIÓN DE DISPOSITIVOS SECUENCIALES
- ⇒ NECESIDAD DE AUMENTAR LA VELOCIDAD DE OPERACIÓN ==> PIPELINE

## ☞ CLASIFICACIÓN

- ⇒ RECONFIGURABLES: LOS FUSIBLES SE PUEDEN PROGRAMAR UN NÚMERO INDEFINIDO DE VECES
- ⇒ SÓLO CONFIGURABLES: LOS FUSIBLES SÓLO SE PUEDEN PROGRAMAR UNA SOLA VEZ

☞ CLASIFICACIÓN II

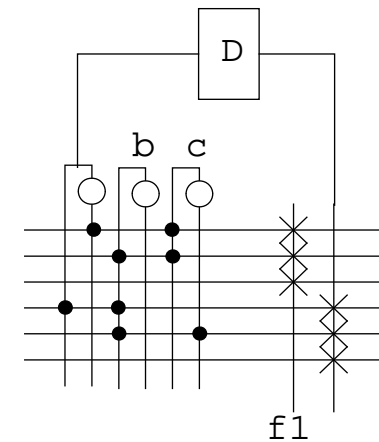
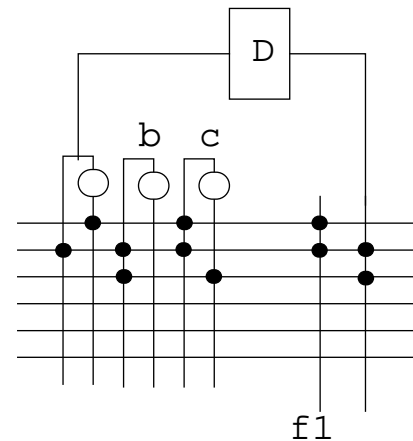
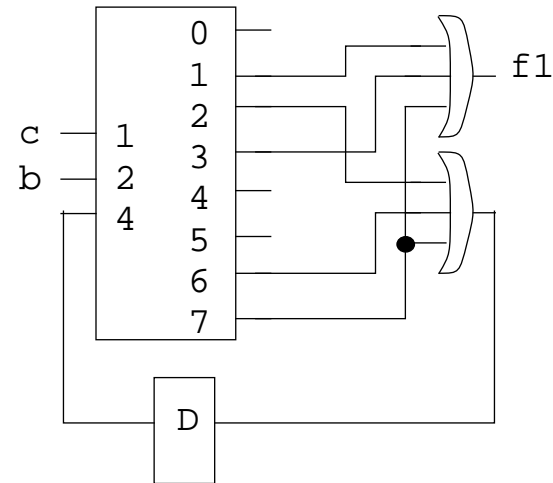
⇒ SISTEMAS COMPLETOS

⇒ SISTEMAS INCOMPLETOS

☞ SISTEMAS BASADOS EN DISPOSITIVOS COMBINACIONALES PROGRAMABLES

⇒ SISTEMA COMBINACIONAL PROGRAMABLE (ROM, PAL, PLA) + ELEMENTOS DE MEMORIA

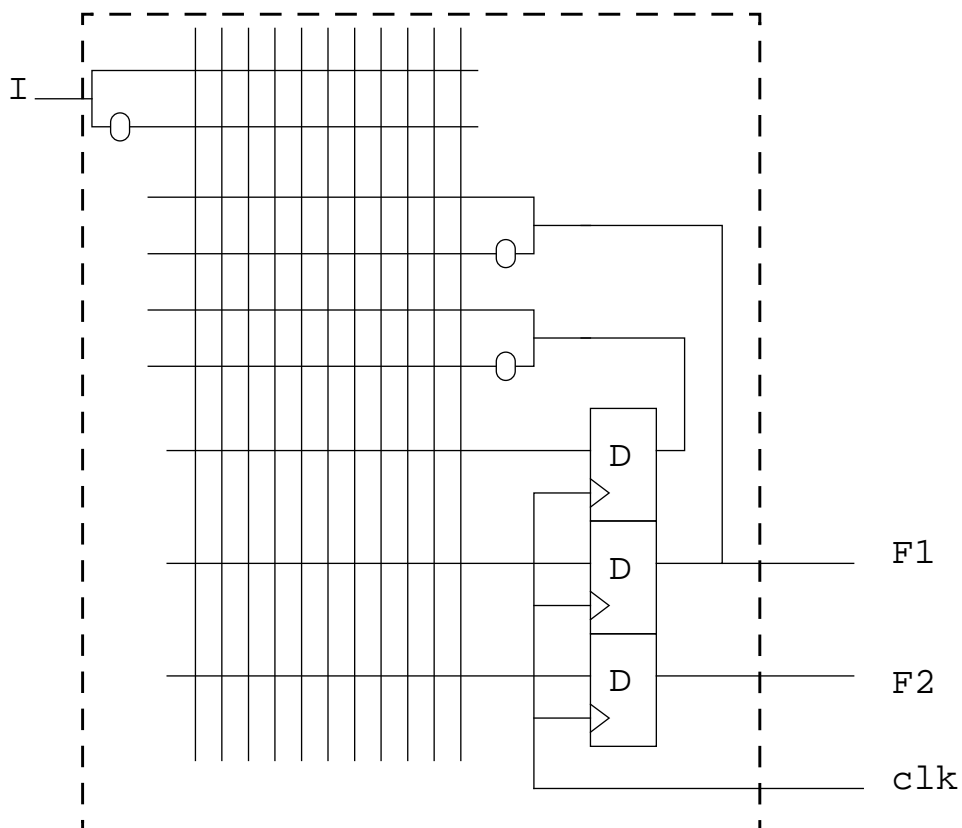
⇒ PROBLEMA: REDUCCIÓN DEL NÚMERO LIMITADO DE ENTRADAS Y SALIDAS DE LAS QUE SE DISPONE



☞ SISTEMAS SECUENCIALES PROGRAMABLES MONOCHIP

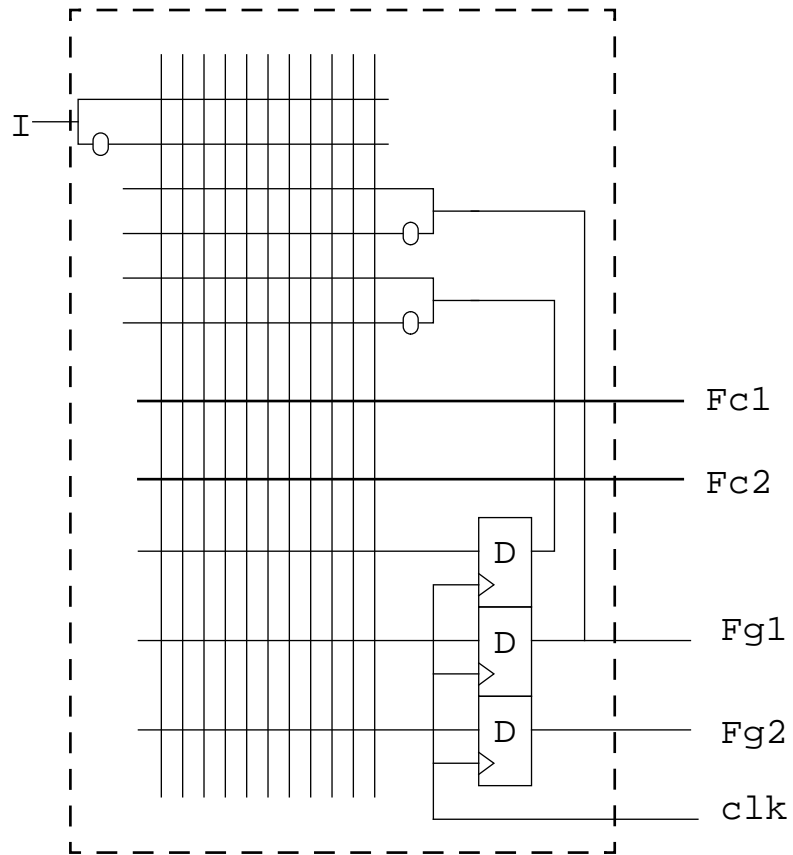
⇒ CARACTERÍSTICAS: N° ENTRADAS, N° SALIDAS Y N° BIESTABLES

⇒ PLS --> PLA + BIESTABLES TIPO D

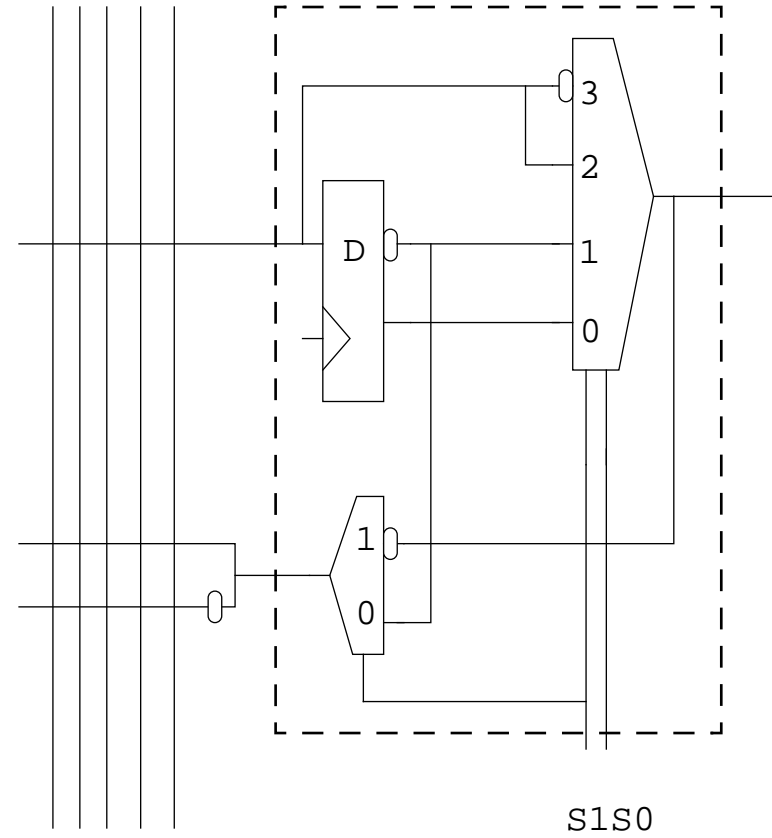


- ✓ SALIDAS REALIMENTADAS INTERNAMENTE A LA MATRIZ AND
- ✓ SALIDAS REALIMENTADAS INTERNAMENTE Y ACCESIBLES DESDE EL EXTERIOR
- ✓ SALIDAS CONECTADAS AL EXTERIOR SIN REALIMENTACIÓN

☞ PAL GENÉRICOS

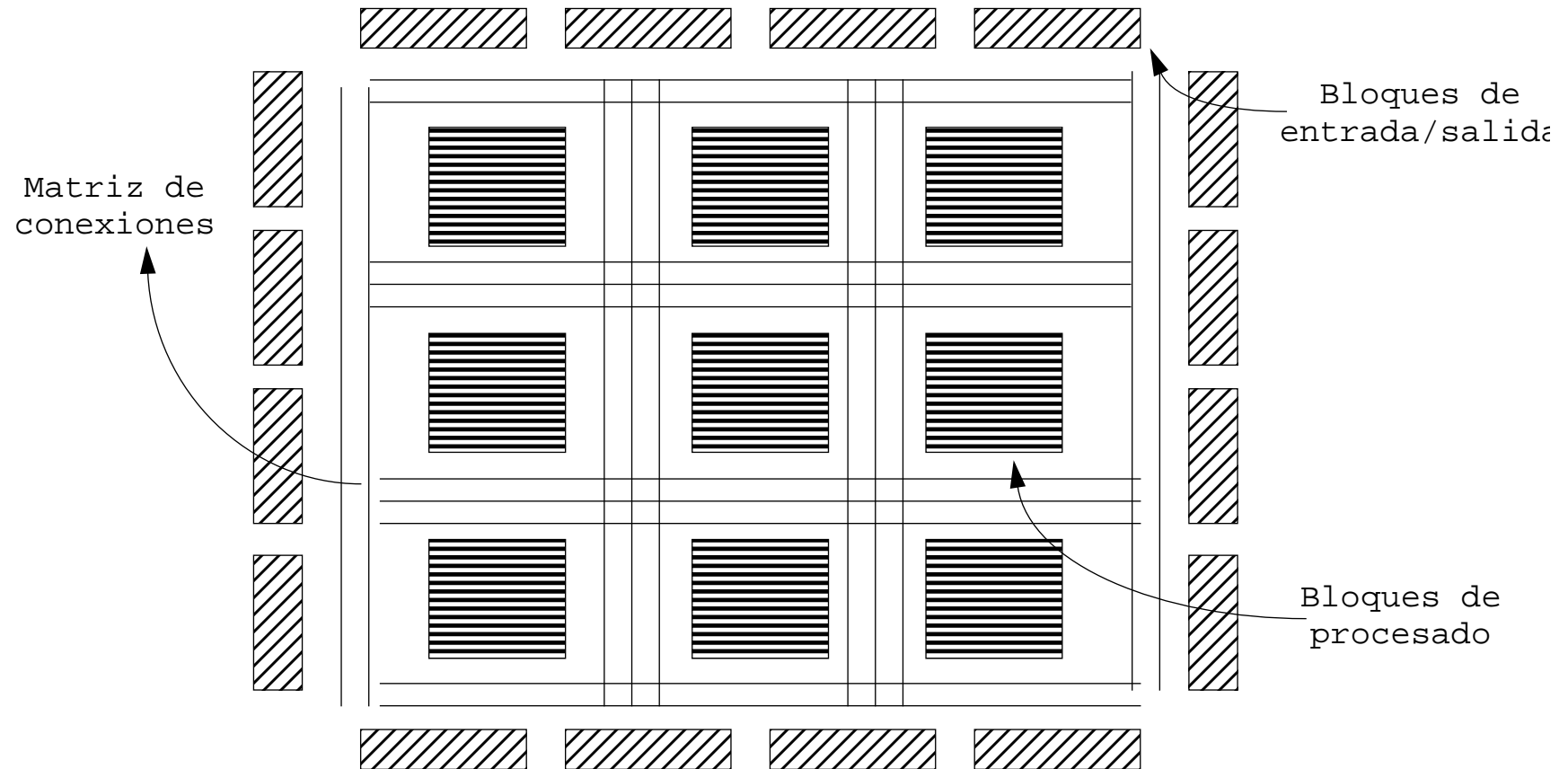


☞ GAL



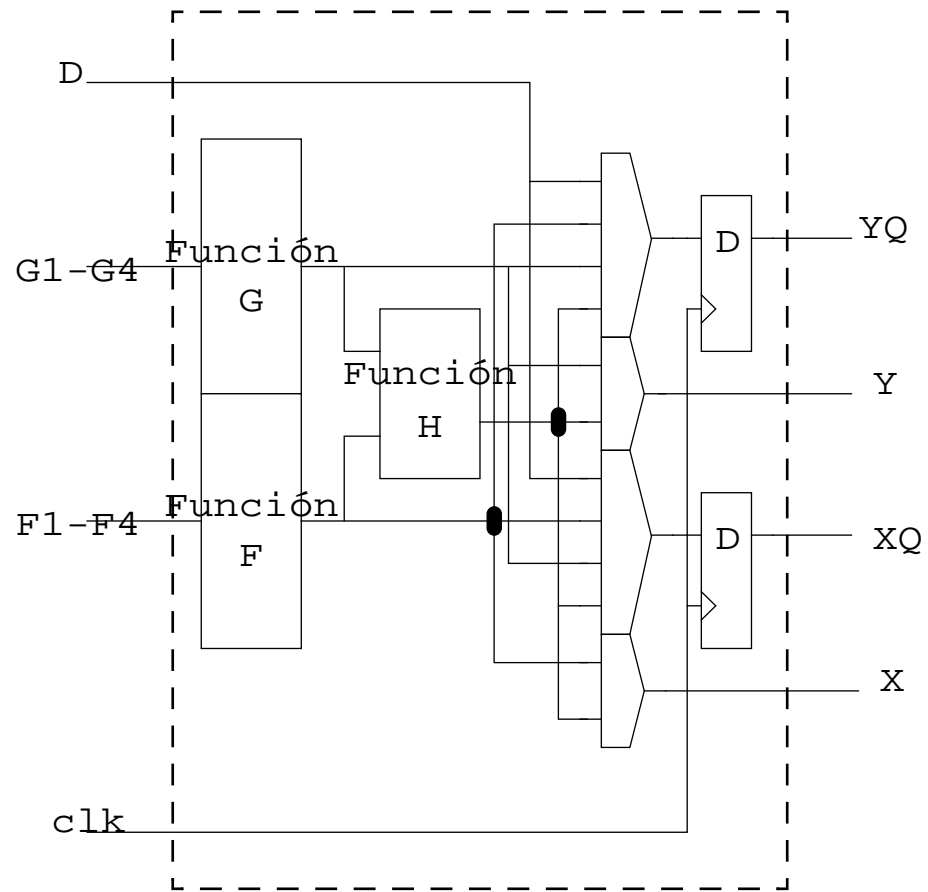
DIESIA

⇒ DISPOSITIVOS PROGRAMABLES AVANZADOS: CPLD (COMPLEX PROGRAMMABLE LOGIC DEVICE)

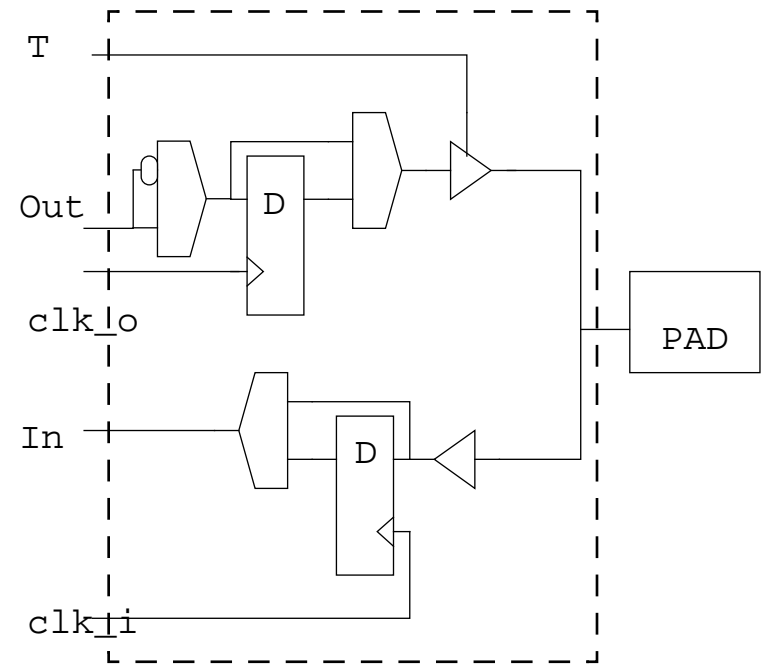


DIESIA

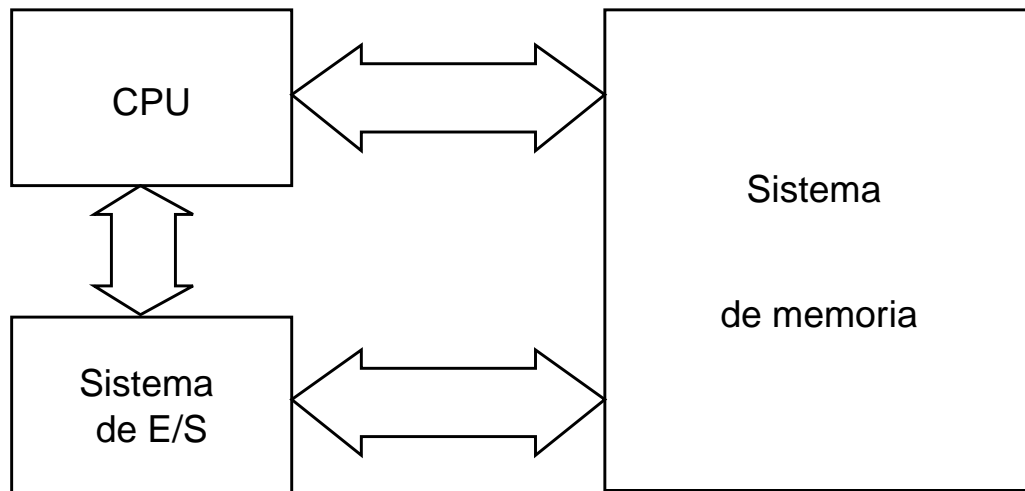
⇒ BLOQUES CLB



⇒ BLOQUES IOB



👉 MICROCONTROLADORES: PROGRAMACIÓN  
POR SOFTWARE



⇒ CPU

✓ UNIDAD DE CONTROL

✓ UNIDAD ARITMÉTICO-LÓGICA

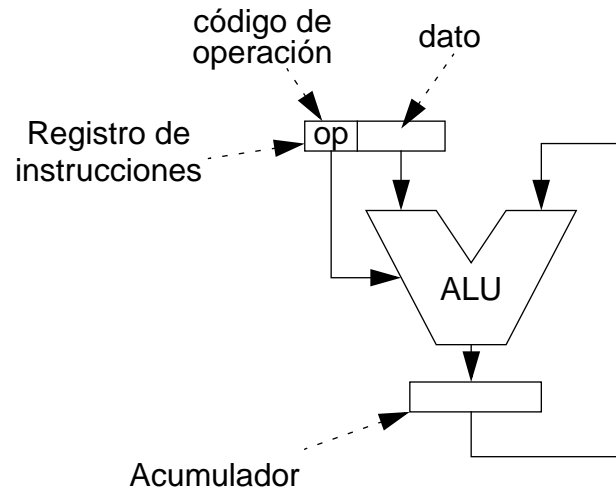
⇒ SISTEMA DE MEMORIA

✓ MEMORIA DE PROGRAMA (EPROM)

✓ MEMORIA DE DATOS (RAM)

⇒ SISTEMA DE ENTRADA/SALIDA

⇒ EJEMPLO DE UNA EJECUCIÓN MICROPROGRAMADA



LOAD --> OPERACIÓN "01"

SUM --> OPERACIÓN "10"

