Práctica V

Implementación de un filtro digital I

5.1. Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{1}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{2}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{3}$$

5.2. Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = X_n - X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de Kernighan & Lin (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos.
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus PCI. Luego, realizar una revisión bibliográfica del bus PCI, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica VI

Implementación de un filtro digital II

6.1. Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{4}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{5}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{6}$$

6.2. Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = X_n + X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de Schweikert & Kernighan (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos.
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus AMBA. Luego, realizar una revisión bibliográfica del bus AMBA, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica VII
Implementación de un filtro digital III

7.1. Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{7}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{8}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{9}$$

7.2. Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = X_n + X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de Fiduccia & Matheysis (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos.
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus ISA. Luego, realizar una revisión bibliográfica del bus ISA, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica VIII
Implementación de un filtro digital IV

8.1. Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{10}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{11}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{12}$$

8.2. Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = X_n - X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de clustering basado en fuerzas (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos.
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus SCSI. Luego, realizar una revisión bibliográfica del bus SCSI, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica IX

Implementación de un filtro digital V

9.1. Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{13}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{14}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{15}$$

9.2. Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = 3 \cdot X_n + 4 \cdot X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de Kernighan & Lin (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos. Una de las operaciones que se han de realizar vía hardware es la multiplicación. Para ello, realizar una revisión bibliográfica sobre multiplicadores (tanto combinacionales como en pipeline).
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus PCI. Luego, realizar una revisión bibliográfica del bus PCI, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica X

Implementación de un filtro digital VI

10.1.Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{16}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{17}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{18}$$

10.2.Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = 6 \cdot X_n - 3 \cdot X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de Schweikert & Kernighan (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos. Una de las operaciones que se han de realizar vía hardware es la multiplicación. Para ello, realizar una revisión bibliográfica sobre multiplicadores (tanto combinacionales como en pipeline).
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus AMBA. Luego, realizar una revisión bibliográfica del bus AMBA, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica XI

Implementación de un filtro digital VII

11.1.Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{19}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{20}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{21}$$

11.2.Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = 3 \cdot X_n + 3 \cdot X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de Fiduccia & Matheysis (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos. Una de las operaciones que se han de realizar vía hardware es la multiplicación. Para ello, realizar una revisión bibliográfica sobre multiplicadores (tanto combinacionales como en pipeline).
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus SCSI. Luego, realizar una revisión bibliográfica del bus SCSI, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica XII
Implementación de un filtro digital VIII

12.1.Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{22}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{23}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{24}$$

12.2.Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = 7 \cdot X_n + X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de clustering basado en fuerzas (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos. Una de las operaciones que se han de realizar vía hardware es la multiplicación. Para ello, realizar una revisión bibliográfica sobre multiplicadores (tanto combinacionales como en pipeline).
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus ISA. Luego, realizar una revisión bibliográfica del bus ISA, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica XIII
Implementación de un filtro digital IX

13.1.Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{25}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{26}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{27}$$

13.2.Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = 2 \cdot X_n + 3 \cdot X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de Fiduccia & Matheysis (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos. Una de las operaciones que se han de realizar vía hardware es la multiplicación. Para ello, realizar una revisión bibliográfica sobre multiplicadores (tanto combinacionales como en pipeline).
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus PCI. Luego, realizar una revisión bibliográfica del bus PCI, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica XIV
Implementación de un filtro digital X

14.1.Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{28}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{29}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{30}$$

14.2.Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = 4 \cdot X_n + 5 \cdot X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de Kernighan & Lin (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos. Una de las operaciones que se han de realizar vía hardware es la multiplicación. Para ello, realizar una revisión bibliográfica sobre multiplicadores (tanto combinacionales como en pipeline).
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus AMBA. Luego, realizar una revisión bibliográfica del bus AMBA, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica XV

Implementación de un filtro digital XI

15.1.Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{31}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{32}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 3. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{33}$$

15.2.Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = 3 \cdot X_n - 3 \cdot X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de Schweikert & Kernighan (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos. Una de las operaciones que se han de realizar vía hardware es la multiplicación. Para ello, realizar una revisión bibliográfica sobre multiplicadores (tanto combinacionales como en pipeline).
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus SCSI. Luego, realizar una revisión bibliográfica del bus SCSI, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada

Práctica XVI

Implementación de un filtro digital XII

16.1.Introducción

Básicamente un filtro es un sistema selectivo en función de la frecuencia de la señal de entrada, de tal forma que sólo pasan un determinado rango de frecuencias. Cualquier señal se puede expresar como una serie de Fourier, según la ecuación 1. Luego, si el filtrohicise que se anulasen (filtrasen) las componentes de frecuencias superiores a N e inferiores a 0, el valor de la señal de salida sería el corresopndiente a la ecuación 2. Por lo tanto, una forma de conseguir dicho filtro sería multiplicar por cero las componentes de frecuencia superiores a N e inferiores a 0. Si dichas operaciones se llevan a cabo de forma digital, es decir, utilizando dispositivos digitales (y por lo tanto, señales muestreadas por un convertidor analógico digital, por ejemplo), el filtro imlpementado se denomina filtro digital.

$$F = \sum_{n=-\infty}^{\infty} A_n \sin(2\pi n t) \tag{34}$$

$$F = \sum_{n=0}^{N} A_n \sin(2\pi n t) \tag{35}$$

Por extensión, se puede definir como filtro digital cualquier combinación de sumas y multiplicaciones por constantes que se lleve a cabo sobre una señal de forma digital, como se muestra en la ecuación 36. En dicha ecuación F_n son las muestras de la señal filtrada, C_i son los coeficientes del filtro y X_i son las muestras de la señal de entrada.

$$F_n = \sum_{i<n} C_i X_i \tag{36}$$

16.2.Problema

Diseñar un filtro digital con la siguiente ecuación

$$F_n = 7 \cdot X_n - X_{n-1}$$

donde F_i es la salida del filtro y X_i es la entrada. Con las siguientes características:

- Las señales, tanto de entrada como de salida, tendrán una resolución de ocho bits.
- La señal de entrada dispondrá de 10 muestras, y la muestra X_{-1}, será comsiderada con el valor “0”.
- Las muestras de entrada serán introducidas en el sistema por una unidad de entrada/ salida.

- Las muestras de entrada serán obtenidas cada cinco ciclos de reloj, por lo que la unidad de entrada/salida anterior debe ser leída en los instantse necesarios para evitar la pérdida de información.

La resolución del problema deberá contar con los siguientes pasos:

- Obtener un modelo adecuado para la descripción del comportamiento del sistema.
- Realizar una revisión de las diferentes técnicas de verificación formal, y aplicarlas al modelo anterior para comprobar que se cumlen las propiedades de liveness y acabado.
- Realizar una revisión bibliográfica del algorimo de particionado de clustering basado en fuerzas (en el que se podría incluir una versión software de dicho algoritmo). Utilizar dicho algoritmo para llevar a cabo el particionado de las operaciones incluidas en el modelo anterior.
- Modelar la unidad de entrada/salida en VHDL, así como todas las posibles operaciones necesarias que no estén implementadas en el DLX; y a partir de estos modelos estimar las prestaciones de cada uno de ellos. Una de las operaciones que se han de realizar vía hardware es la multiplicación. Para ello, realizar una revisión bibliográfica sobre multiplicadores (tanto combinacionales como en pipeline).
- Implementar en VHDL la unidad de entrada salida, así como todas las posibles operaciones necesarias que no estén implementadas en el procesador DLX.
- Implementar en el lenguaje ensamblador el código que necesitará ser ejecutado en el procesador DLX, y obtener el código máquina.
  !OJO! No utilizar instrucciones que no estén imlpementadas en el procesador.
- Para realizar la comunicación con el procesador se va a utilizar un bus AMBA. Luego, realizar una revisión bibliográfica del bus AMBA, haciendo hincapié en su protocolo. Implementar dicho protocolo para unir el procesador con el resto de unidades (excepto la memoria de programa).
- Llevar a cabo cinco simulaciones del sistema, y obtener la forma de la salida filtrada uniendo cada una de las muestras. Entre estas cinco simulaciones debe estar una en la que las muestras de la señal de entrada sean las siguientes [0, 0, 1, 1, 2, 2, 1, 1]

Nota: En la memoria deberá aparecer toda la bibliografía utilizada