

TEMA III

BIESTABLES

Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas

```
signal S1 : std_logic_vector(1 downto 0);
```

...

```
S1(0) <= A;
```

```
S1(1) <= B;
```

```
with S1 select
```

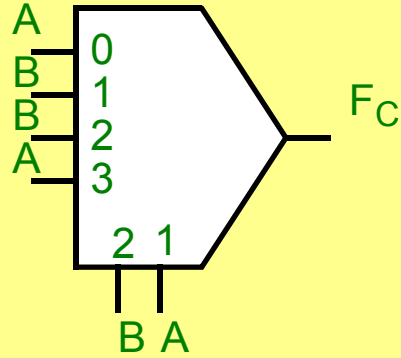
```
    Fc <= A when "00",
```

```
        B when "01",
```

```
        B when "10"
```

```
    A when "11",
```

```
    Z when others;
```



```
signal S1 : std_logic_vector(1 downto 0);
```

...

```
S1(0) <= A;
```

```
S1(1) <= B;
```

```
with S1 select
```

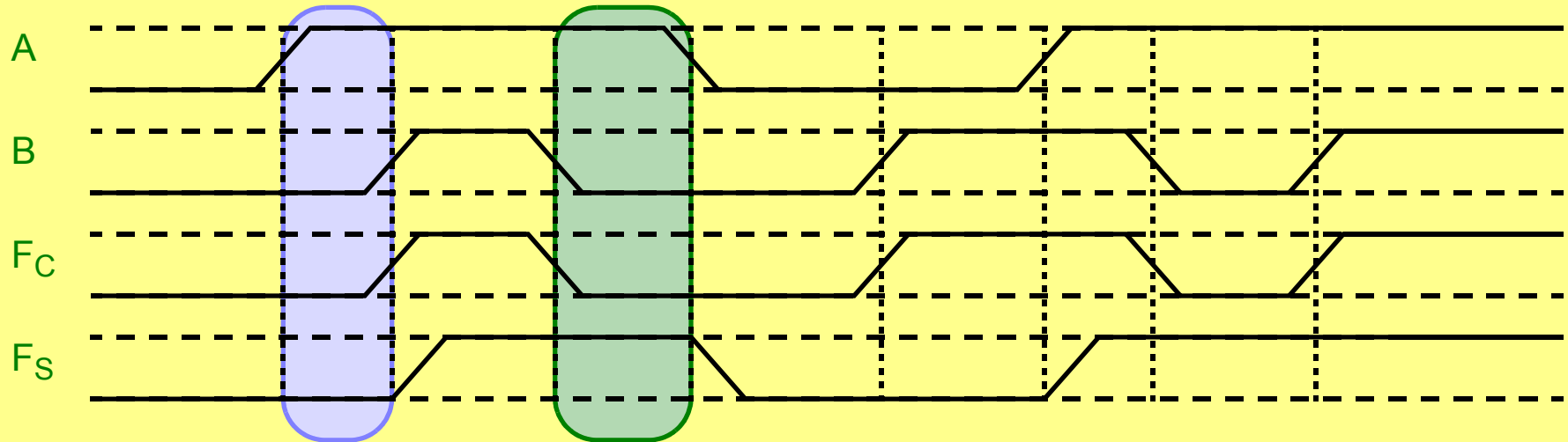
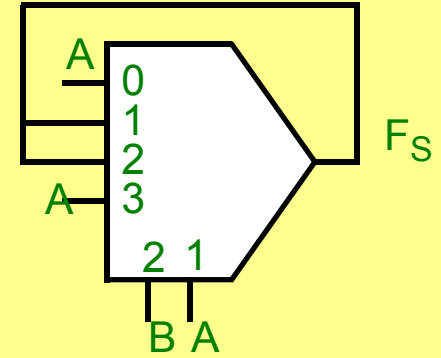
```
    Fs <= A when "00",
```

```
        Fs when "01",
```

```
        Fs when "10"
```

```
    A when "11",
```

```
    Z when others;
```



Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas

```
signal S1 : std_logic_vector(1 downto 0);
```

...

```
S1(0) <= A;
```

```
S1(1) <= B;
```

```
with S1 select
```

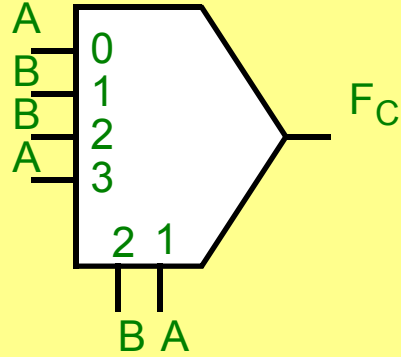
```
  Fc <= A when "00",
```

```
        B when "01",
```

```
        B when "10"
```

```
        A when "11",
```

```
        Z when others;
```



```
signal S1 : std_logic_vector(1 downto 0);
```

...

```
S1(0) <= A;
```

```
S1(1) <= B;
```

```
with S1 select
```

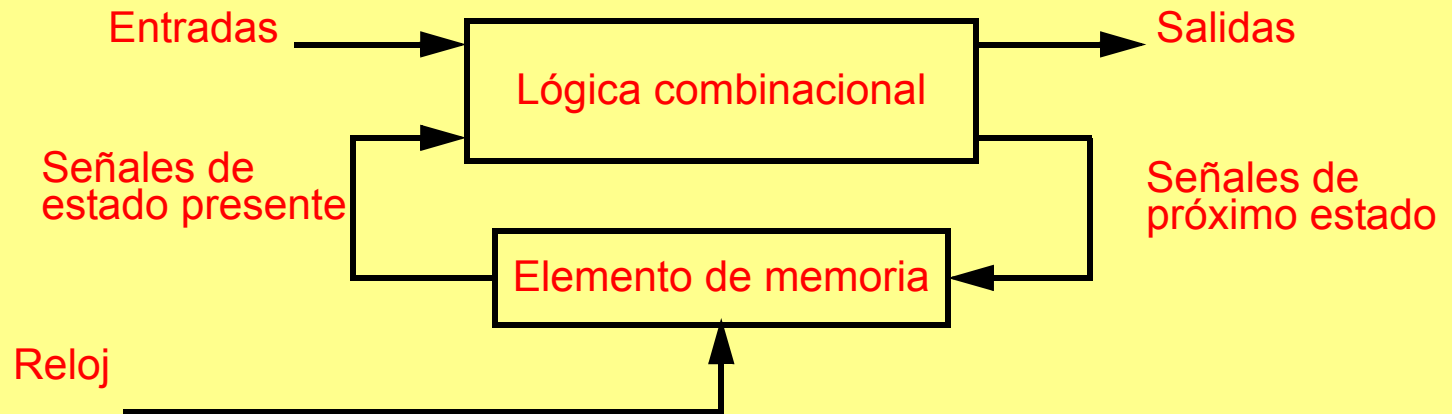
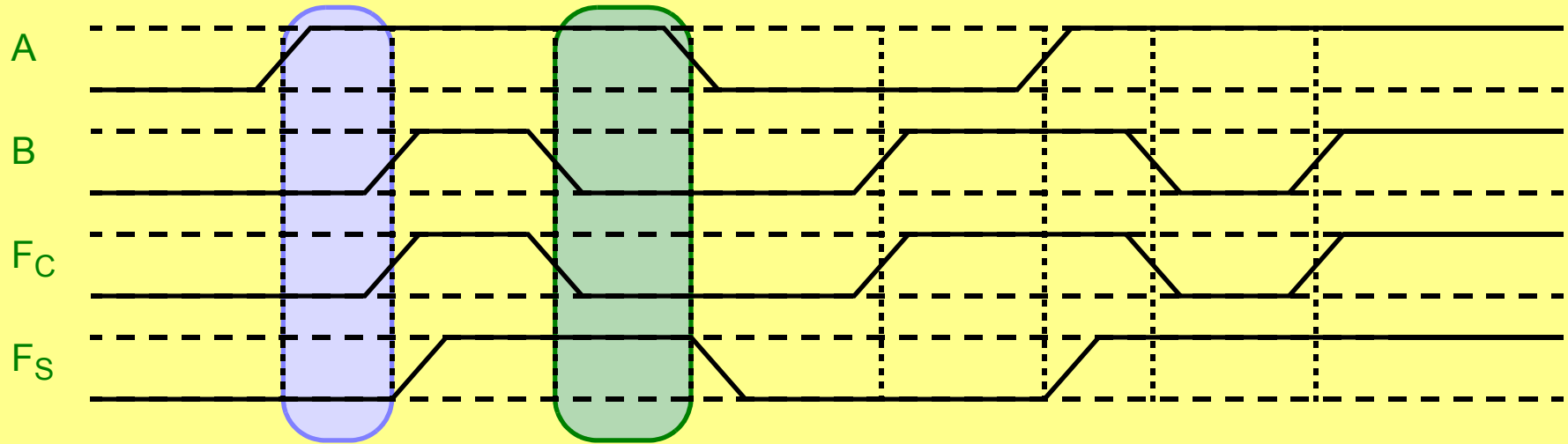
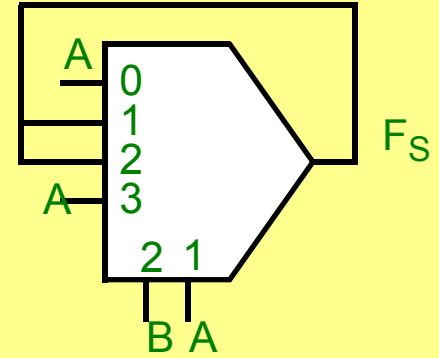
```
  Fs <= A when "00",
```

```
        Fs when "01",
```

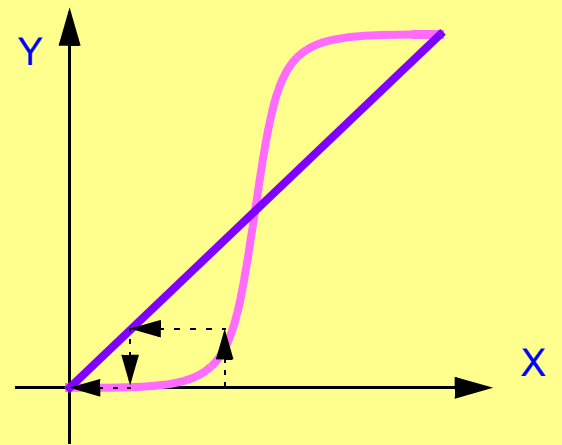
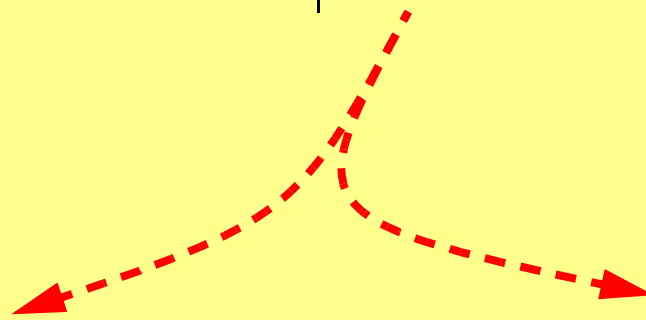
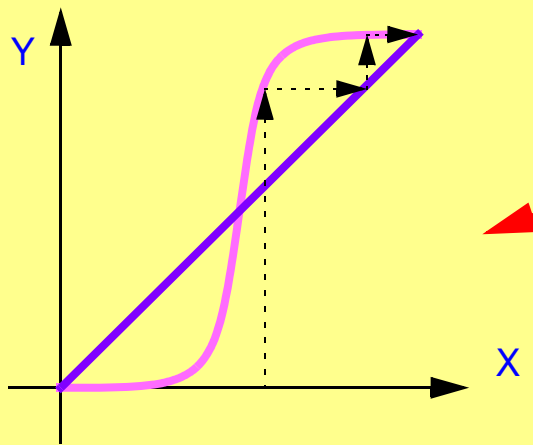
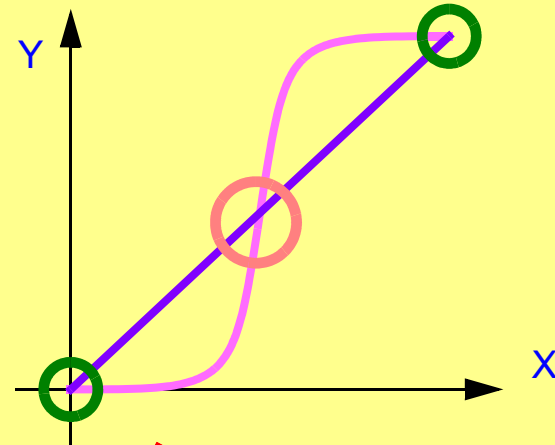
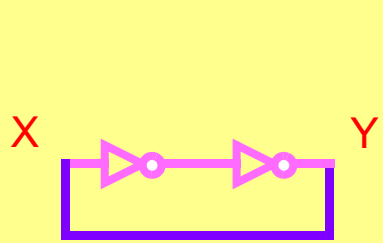
```
        Fs when "10"
```

```
        A when "11",
```

```
        Z when others;
```



BIESTABLE = ELEMENTO CON DOS ESTADOS ESTABLES =
CAPAZ DE ALMACENAR DOS VALORES DIFERENTES



PROPIEDAD DE TRANSPARENCIA: LA SEÑAL DE SALIDA SIGUE A UN
CAMBIO EN LA SEÑAL DE ENTRADA

Introducción

Configuraciones
edge-triggered

Configuraciones
maestro-esclavo

Configuraciones
híbridas

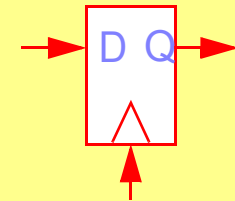
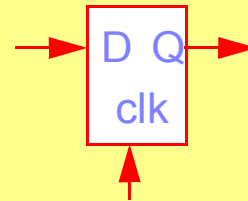
ECUACIÓN TÍPICA DE UN BIESTABLE: $Y = X$

CLASIFICACIÓN

BIESTABLE
TRANSPARENTE

LATCH

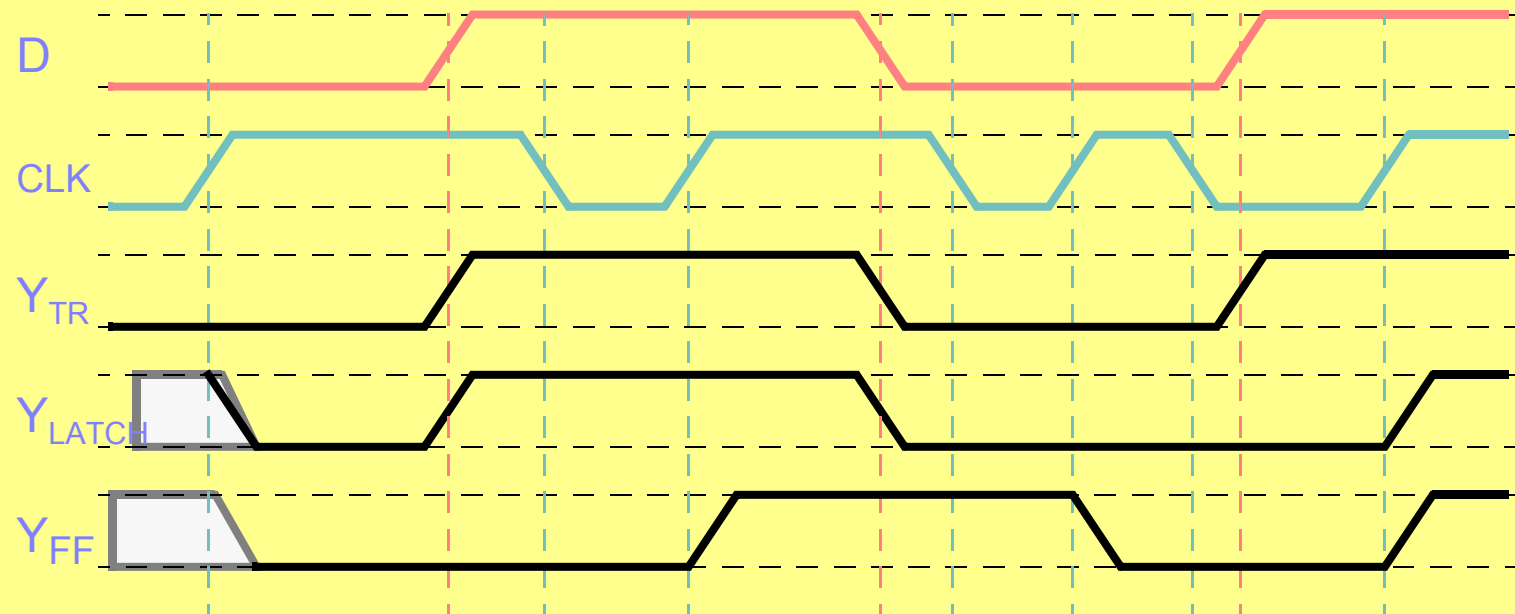
FLIP-FLOP



No tiene señal de control (reloj)

Señal de control (reloj)
Activo por nivel

Señal de control (reloj)
Activo por transición



Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas

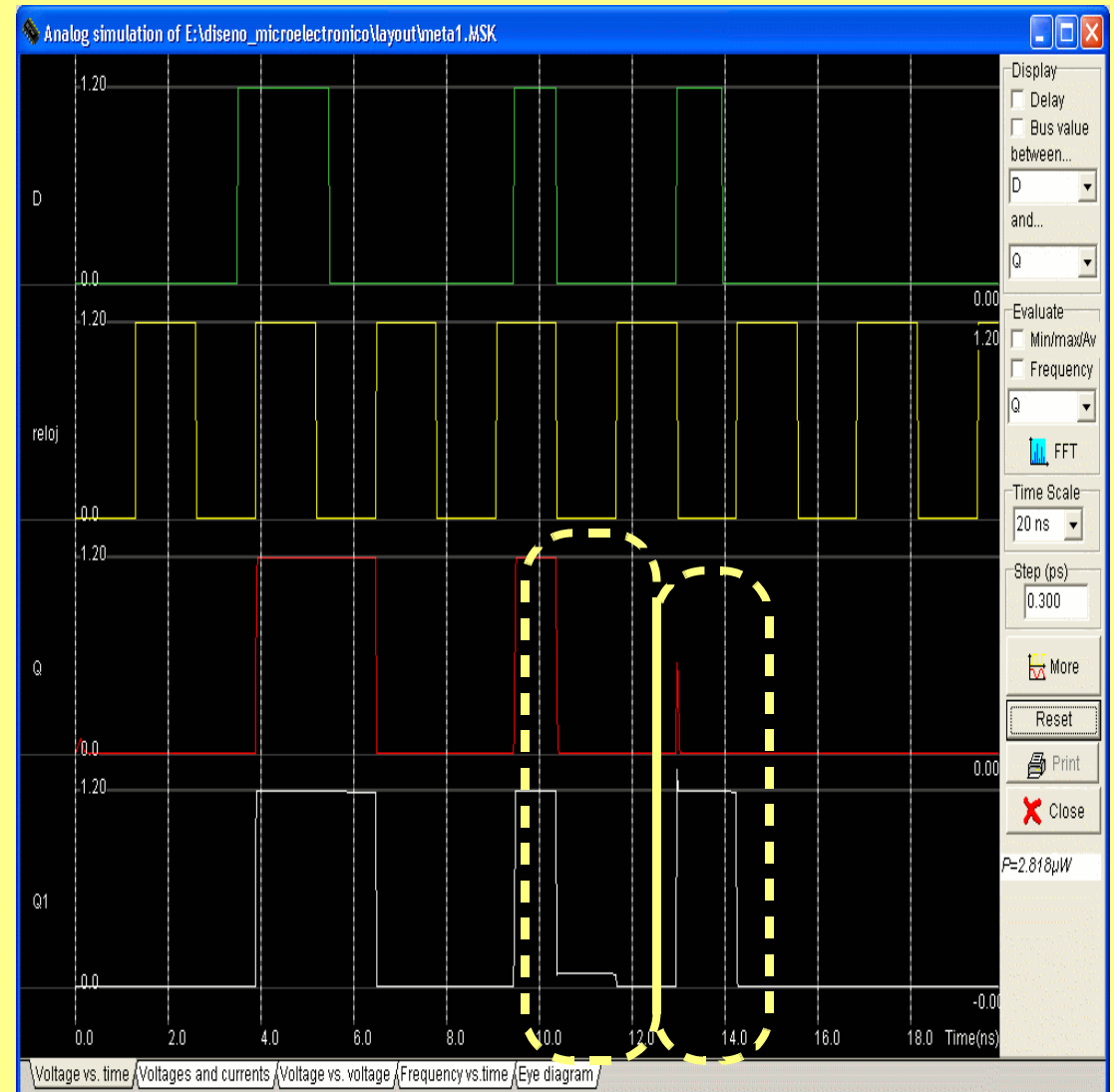
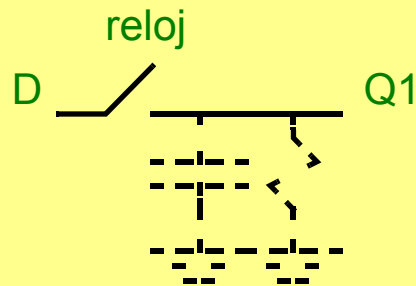
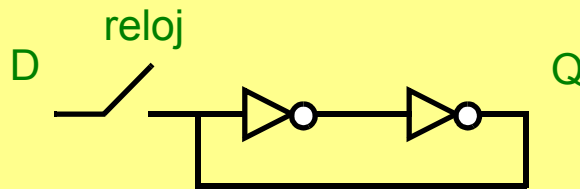
Comportamiento de latches

Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas



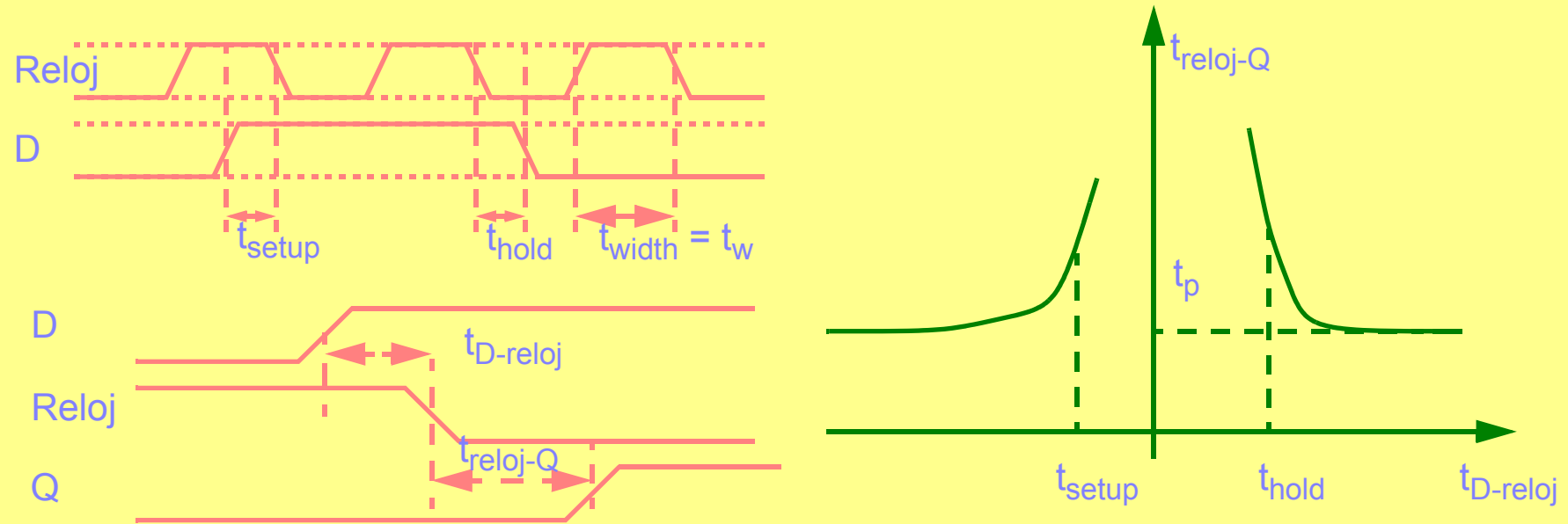
Restricciones y parámetros temporales

Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas



T_{setup} = tiempo que la señal de entrada debe permanecer estable antes de que la señal de reloj se desactive

T_{hold} = tiempo que la señal de entrada debe permanecer estable después de que la señal de reloj se desactive

T_{width} = tiempo que la señal de reloj debe permanecer activa para un correcto almacenamiento

T_p = tiempo transcurrido cuando la señal de reloj está activa para que un cambio en la entrada produzca un cambio en la salida

Ventana marginal = tiempo transcurrido entre T_{setup} y T_{hold}
Espacio temporal de incertidumbre

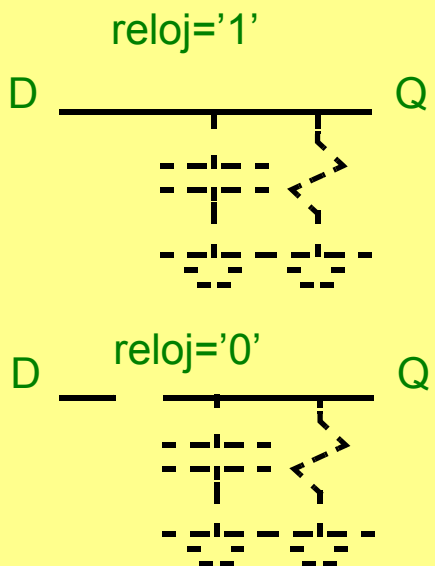
Tipos de almacenamiento

Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas



Metaestabilidad

Almacenamiento dinámico = el dato queda almacenado durante un periodo de tiempo, tras el cual, el dato desaparece. Existe un tiempo en el que el nodo queda aislado de los nodos de polarización y tierra.

Almacenamiento estático = el dato queda almacenado hasta que se sobrescriba o se corte la alimentación. Siempre existe una conexión entre cualquier nodo y los nodos de polarización o de tierra.

Almacenamiento semiestático = el nodo de salida es almacenado de forma estática, pero existen nodos internos cuyo almacenamiento es dinámico.

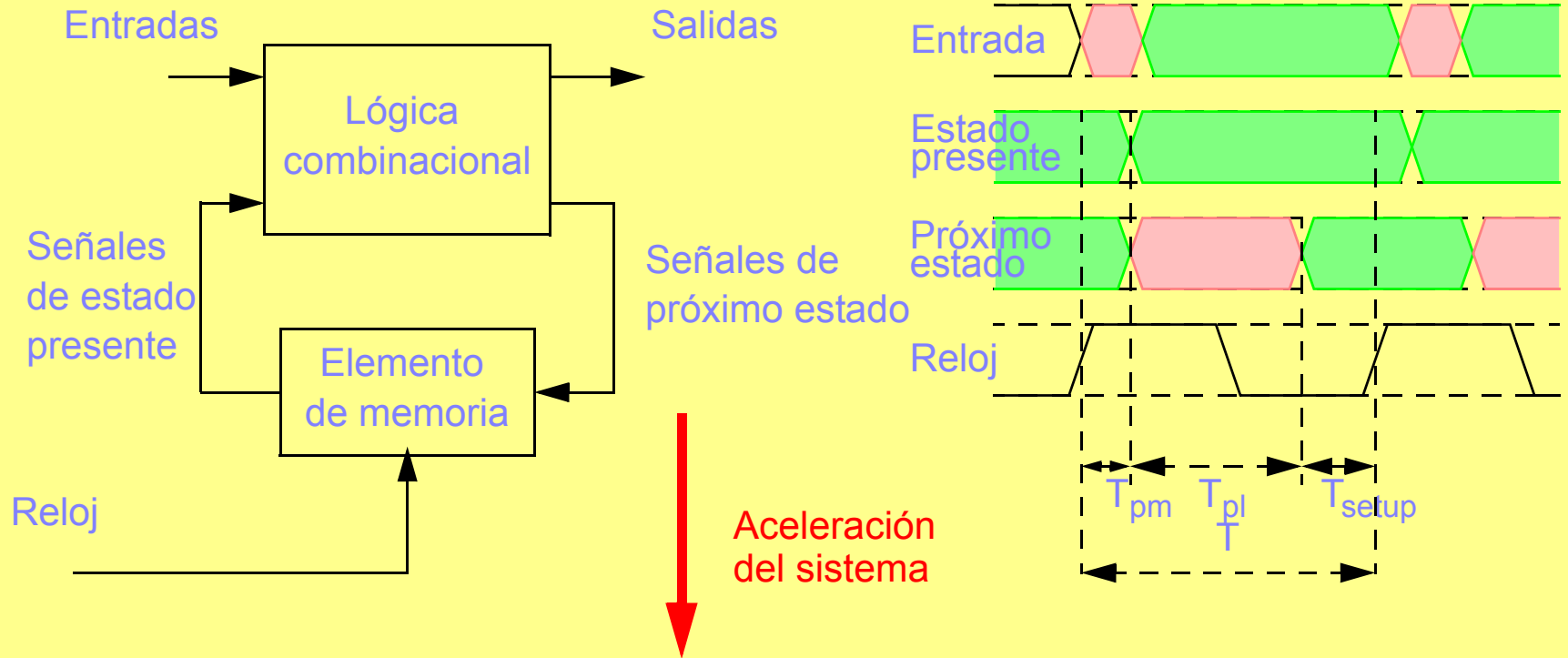
Velocidad de un sistema secuencial

Introducción

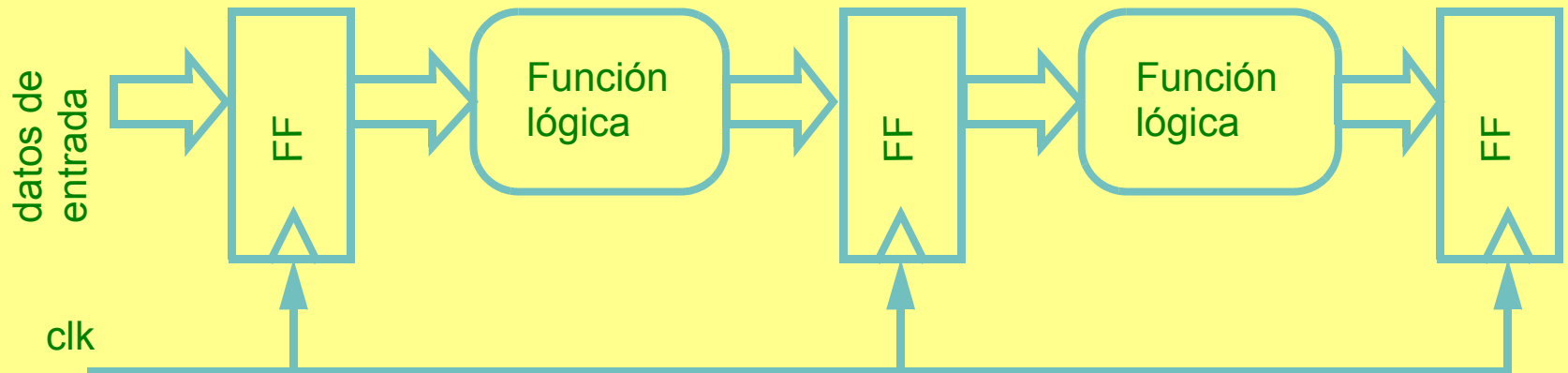
Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas



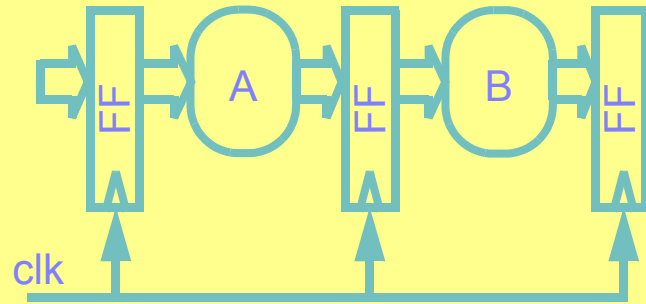
PIPELINE = CADENA DE ESTAPAS DE PROCESADO UNIDAS POR REGISTROS (FLIP-FLOPS)



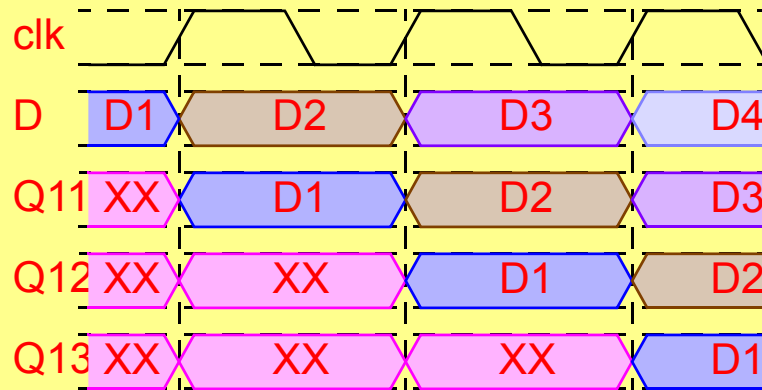
Esquemas de temporización

Introducción

Configuraciones edge-triggered

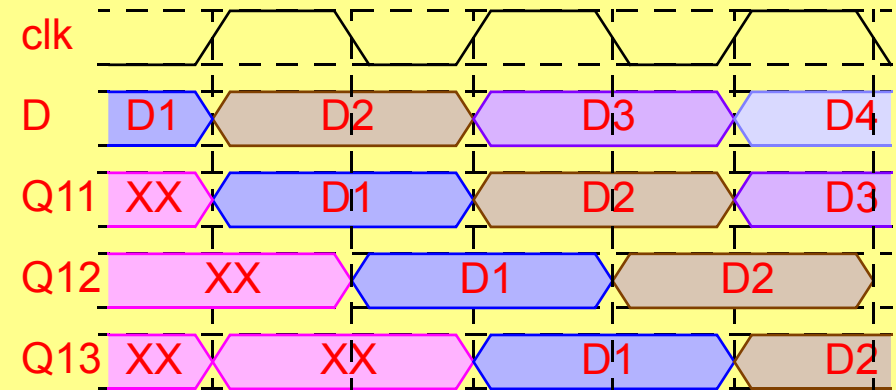


Configuraciones maestro-esclavo



ESQUEMA DE UNA FASE

Configuraciones híbridas



ESQUEMA DE DOS FASES

Sincronización de todos los módulos

Necesidad de un periodo de reloj igual al doble que en el esquema de una fase

Posible cambio de los flip-flops por latches

Datos estables durante un semi-periodo

Desincronización de la mitad de los módulos

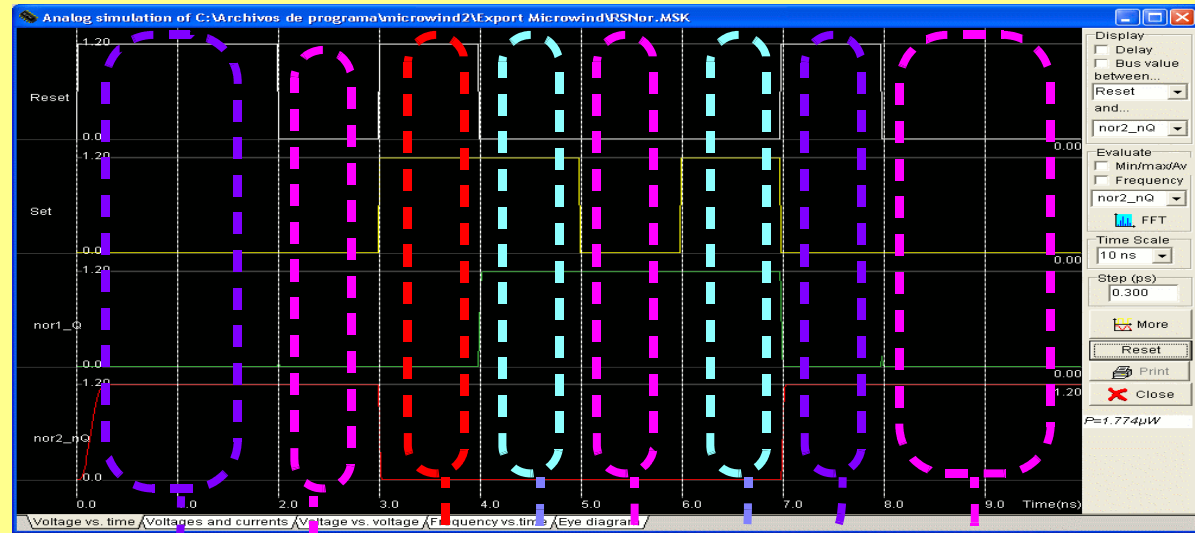
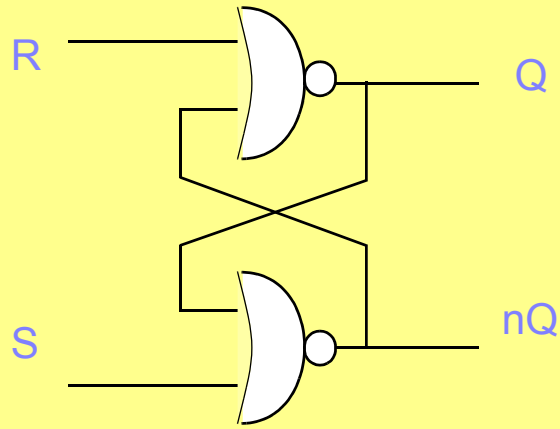
Biestable transparente RS

Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas



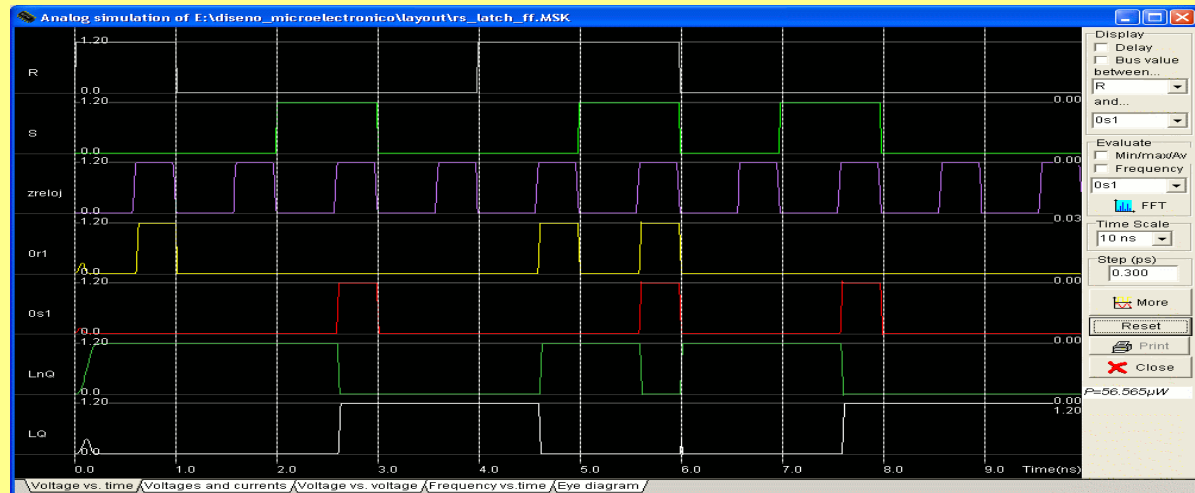
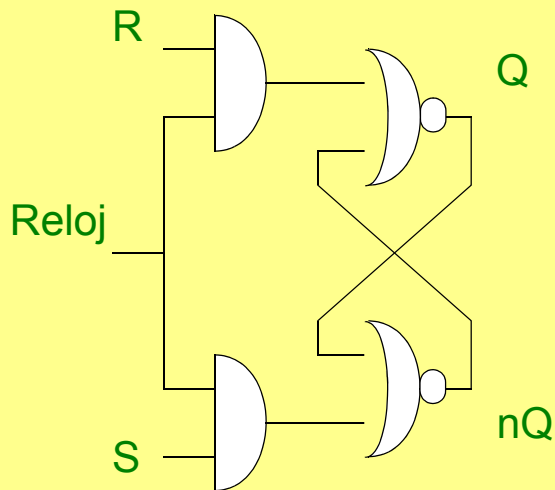
Condición de reset ($Q=0$)

Condición de set ($Q=1$)

Condición de almacenamiento ($Q=Q$)

Condición prohibida ($Q \neq \overline{nQ}$)

Latch RS



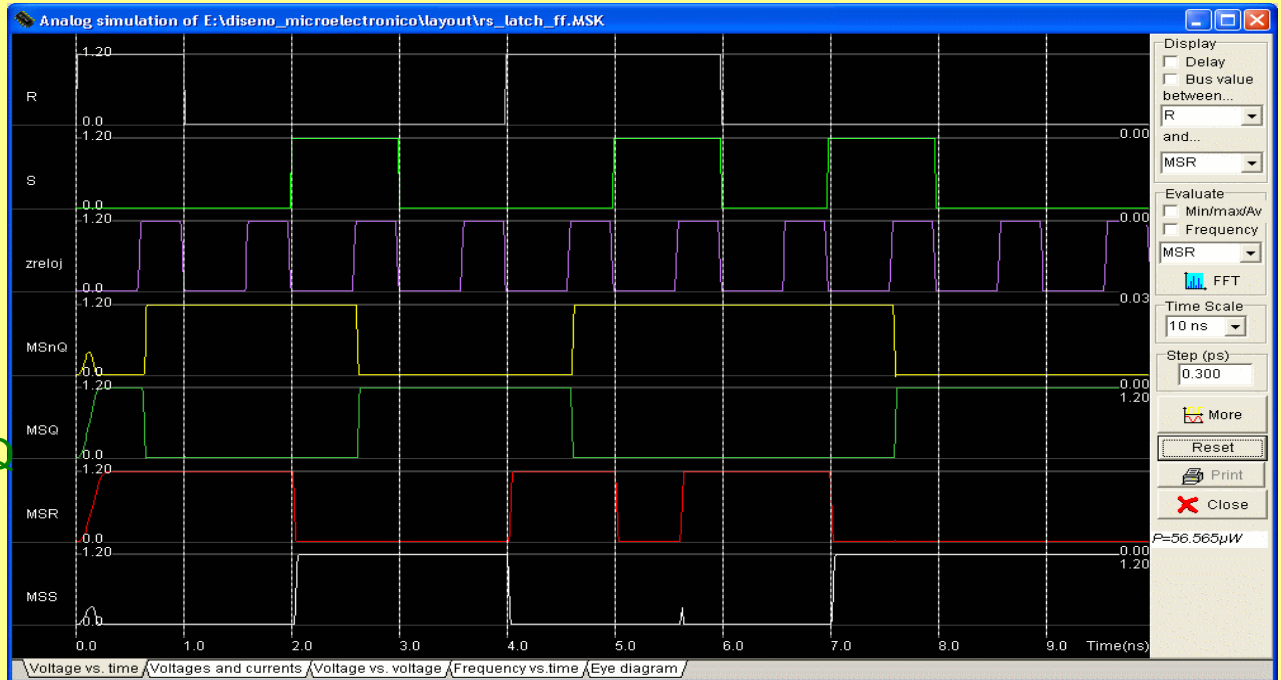
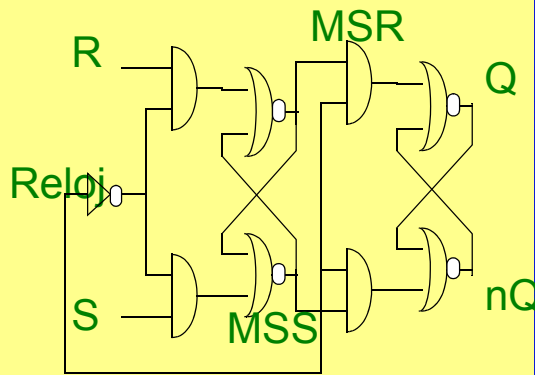
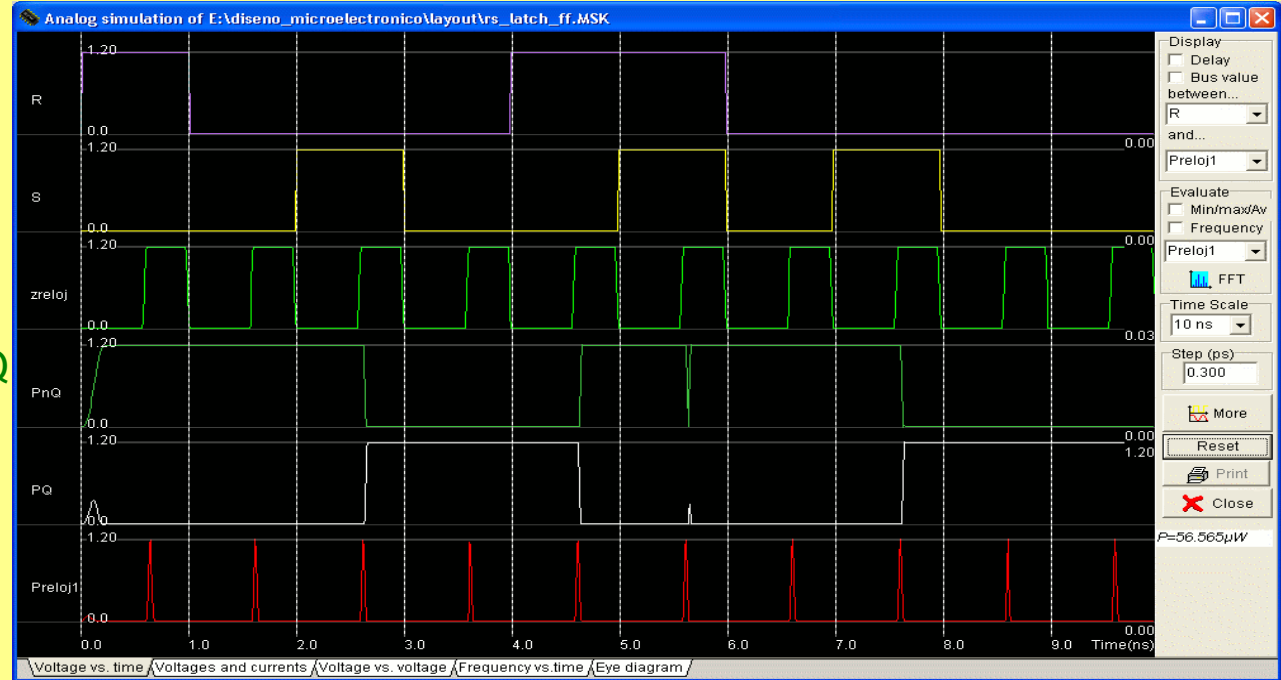
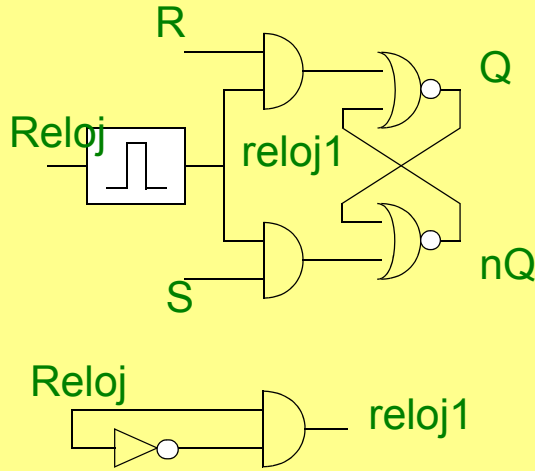
Flip-Flops RS

Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas



Esquemas de flip-flops

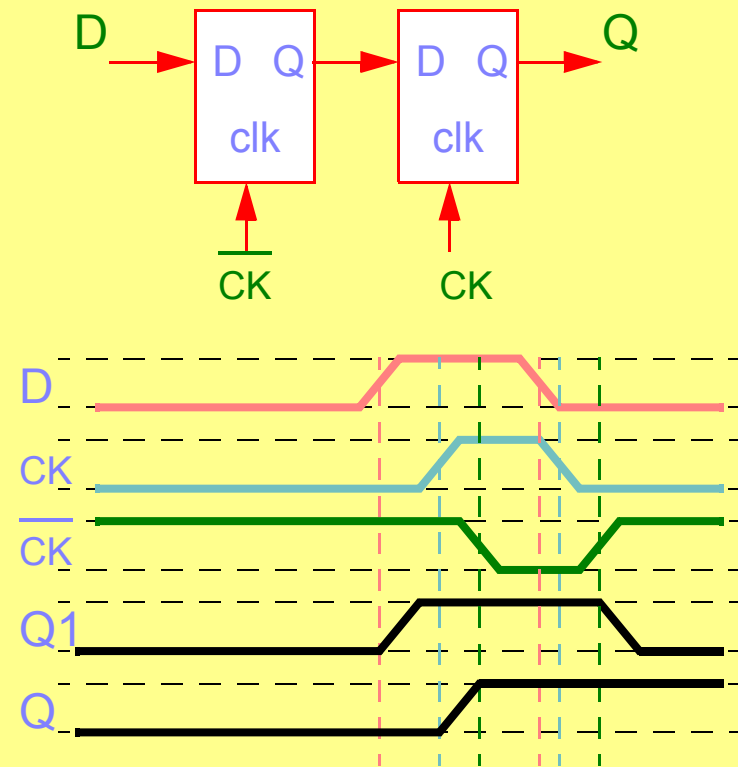
Introducción

Configuraciones edge-triggered

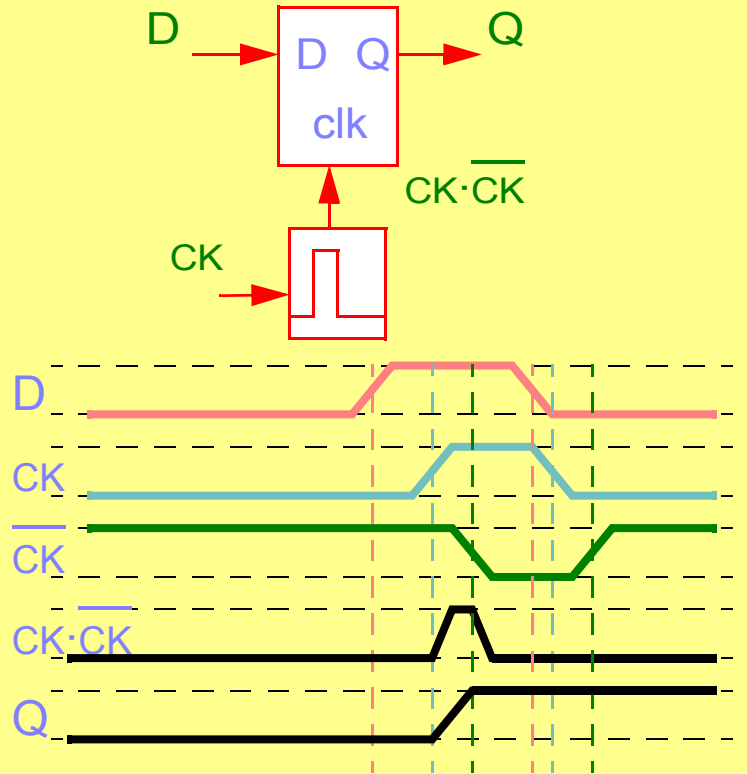
Configuraciones maestro-esclavo

Configuraciones híbridas

CONFIGURACIÓN MAESTRO-ESCLAVO



CONFIGURACIÓN EDGE-TRIGGERED



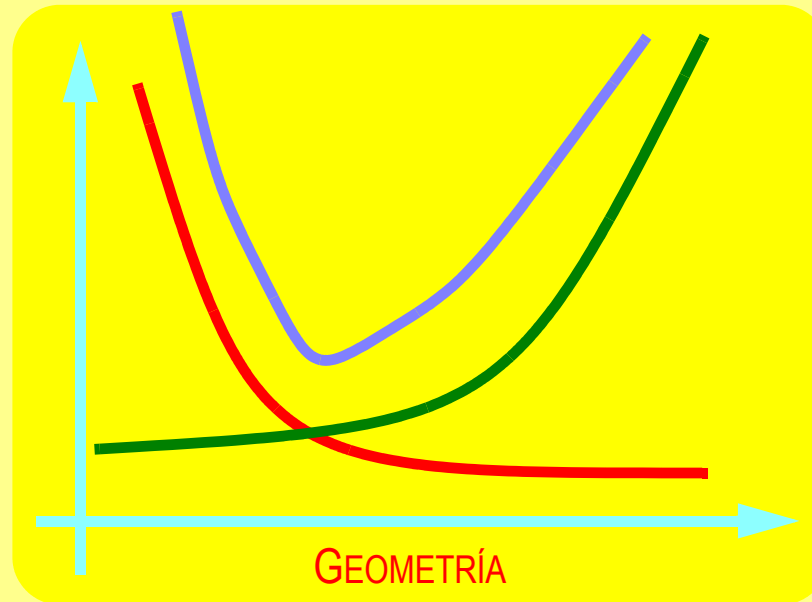
CONFIGURACIÓN HÍBRIDA

Parámetros de optimización

OBTENER UNAS GEOMETRÍAS Y ARQUITECTURAS ADECUADAS PARA

MINIMIZAR EL RETRASO DE PROPAGACIÓN

MINIMIZAR EL CONSUMO DE POTENCIA



MINIMIZAR EL PRODUCTO RETRASO-POTENCIA

Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas

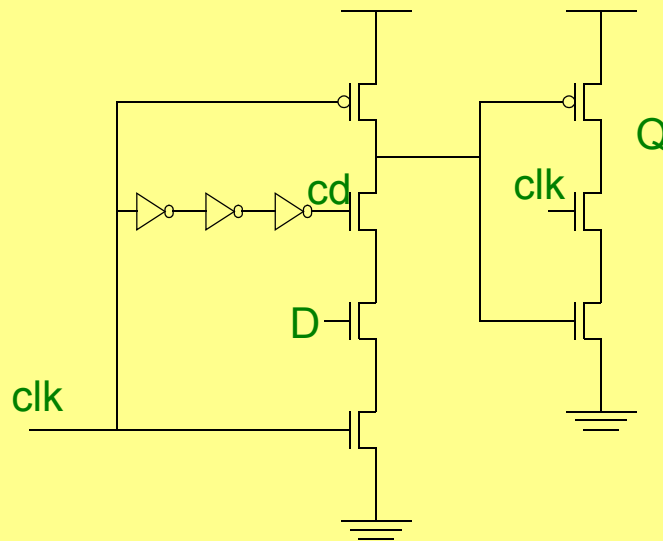
SPPFF (Single-Phase Pulsed Flip-Flop)

Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

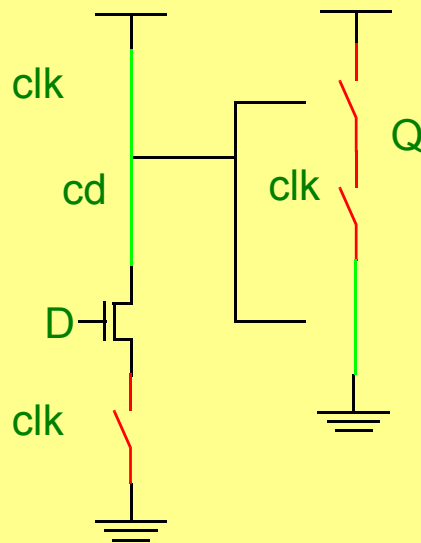
Configuraciones híbridas



Almacenamiento dinámico

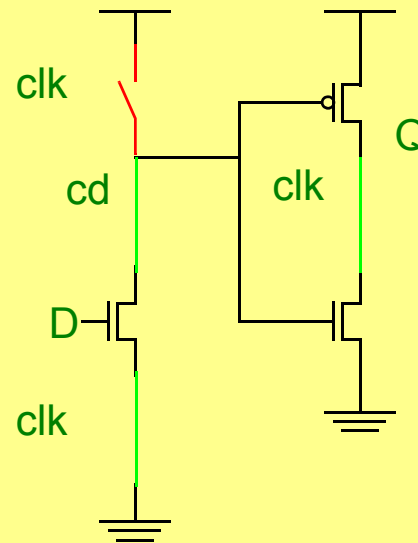
Intervalo de transparencia = retraso de tres inversores

Posibilidad de lógica empotrada sustituyendo el transistor N por un árbol NMOS, obteniendo una etapa de pipeline completa



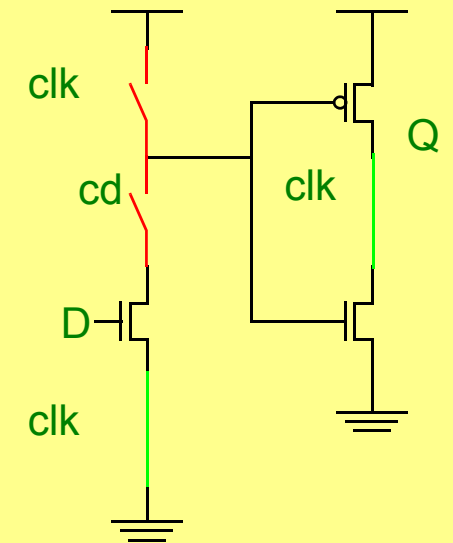
clk = 0

Almacenamiento dinámico



clk sube

Q=D



clk = 1

Almacenamiento dinámico

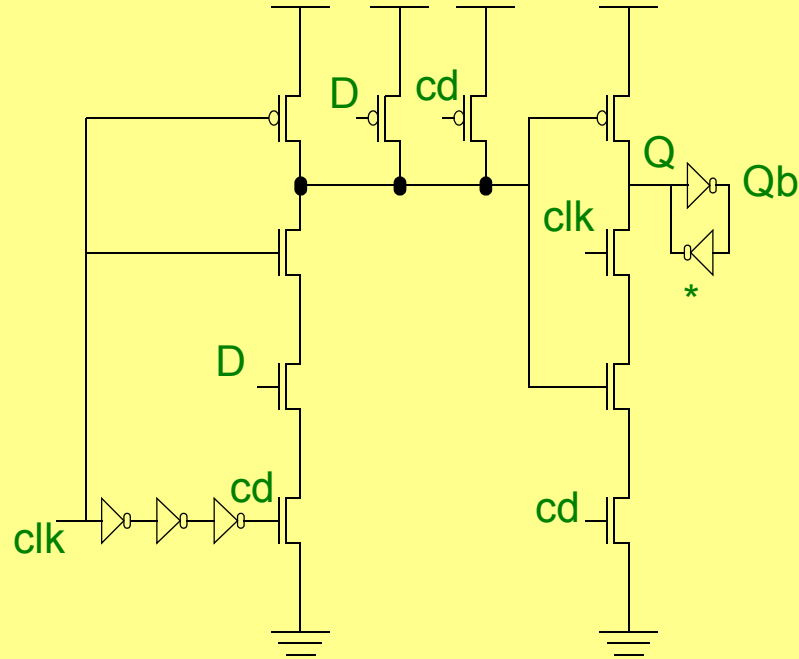
HLFF (Hybrid Latch Flip-Flop) AMD K6

Introducción

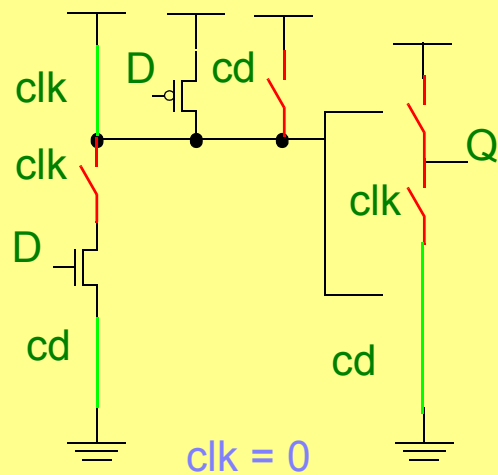
Configuraciones
edge-triggered

Configuraciones
maestro-esclavo

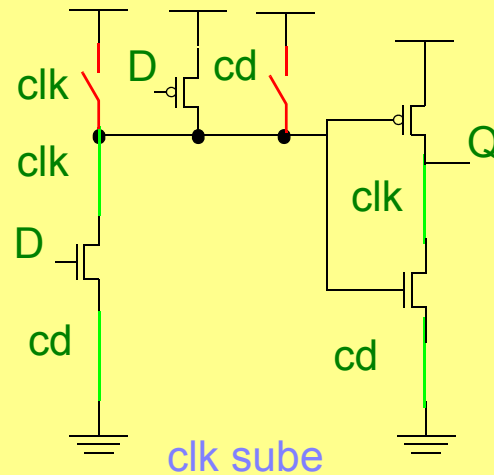
Configuraciones
híbridas



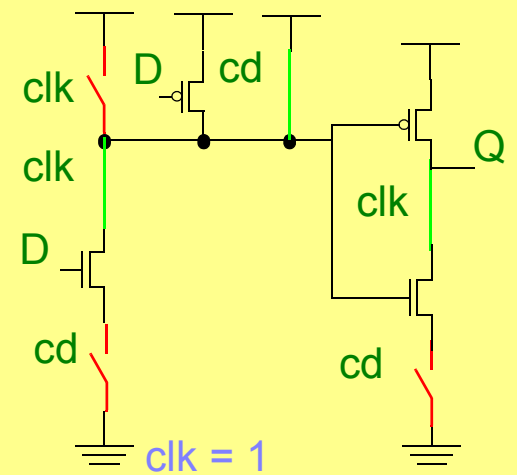
Versión estática del SPPFF



Almacenamiento semiestático



Q=D



Almacenamiento semiestático

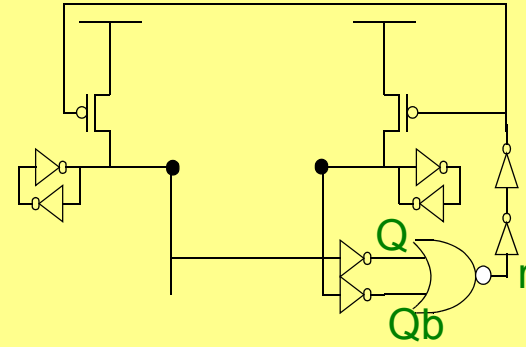
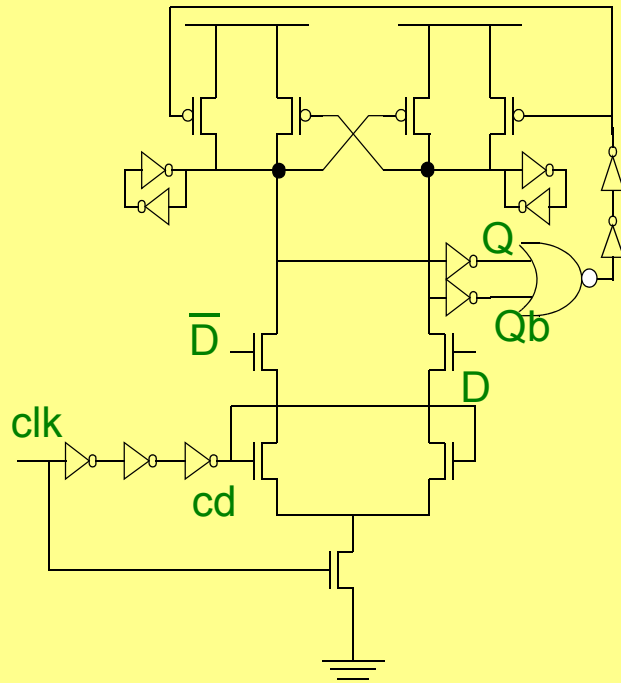
AMD K6 DUAL RAIL CON AUTORESET

Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas



Propiedad de autoreset

$$Q \neq Qb \Rightarrow r = '0'$$

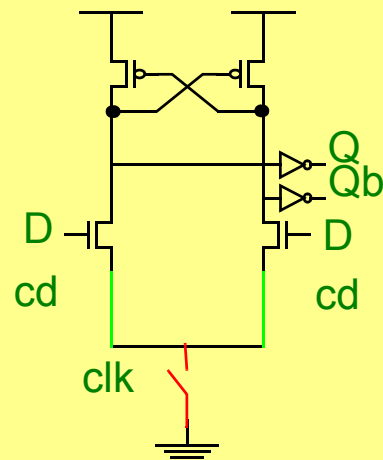
$$\Rightarrow Q = Qb = '0'$$

$$Q = Qb \Rightarrow r = '1'$$

Almacenamiento semiestático

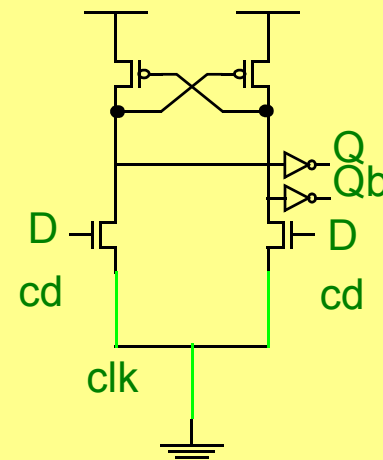
Posibilidad de lógica empotrada sustituyendo los transistores controlados por D por un árbol NMOS diferencial

Intervalo de transparencia igual al retraso de tres inversores



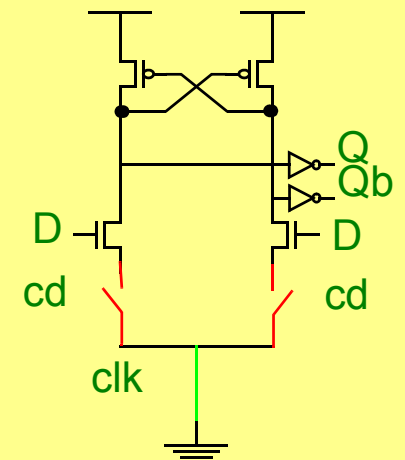
clk = 0

Almacenamiento semiestático



clk sube

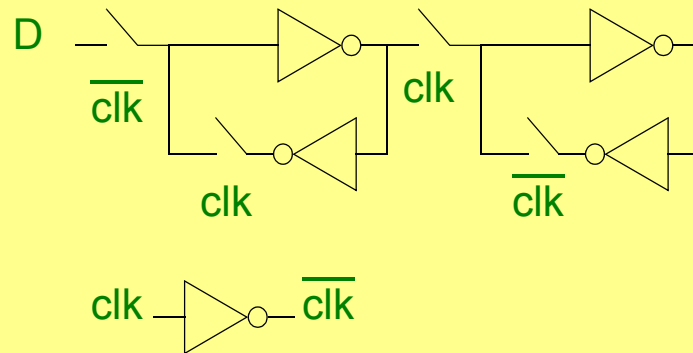
Q = D



clk = 1

Almacenamiento semiestático

MAESTRO-ESCLAVO CONVENCIONAL



Los dos latches no conducen simultáneamente. De esta forma el segundo latch sólo puede cambiar una vez en un periodo de reloj

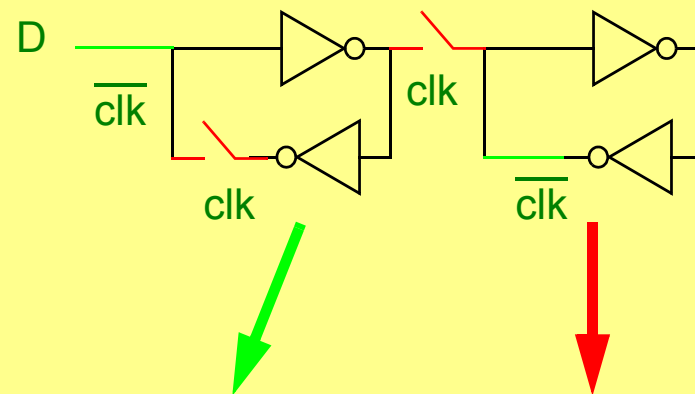
Utilizando llaves NMOS:

- Menores recursos de hardware
- Mayor potencia estática

Utilizando llaves CMOS:

- No existe degradación
- Mayores recursos hardware
- Mayor capacidad

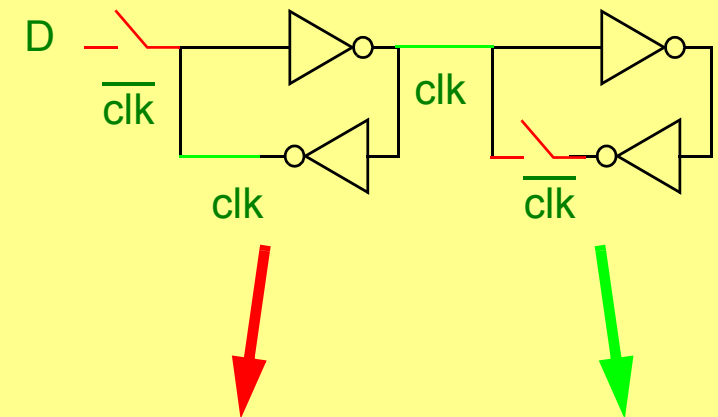
clk = '0'



Pasa el nuevo dato

Almacena el dato anterior

clk = '1'



Almacena el dato

Pasa el dato a la salida

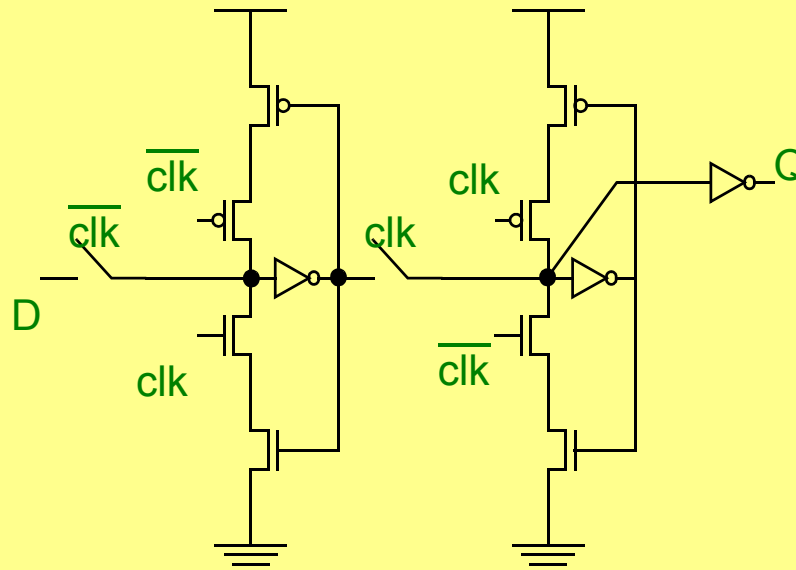
Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

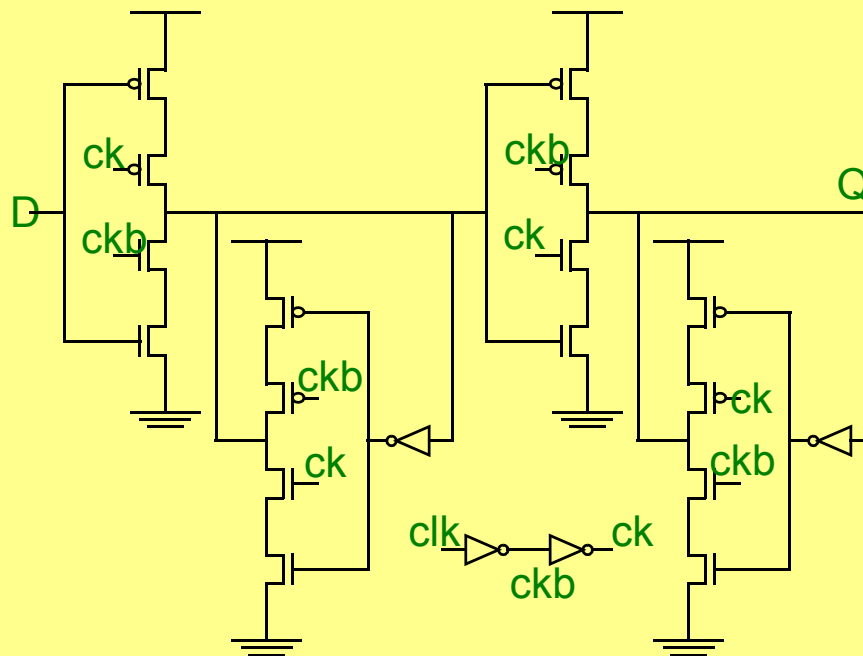
Configuraciones híbridas

TGMS (Transmission Gate Master Slave) POWERPC

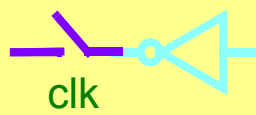
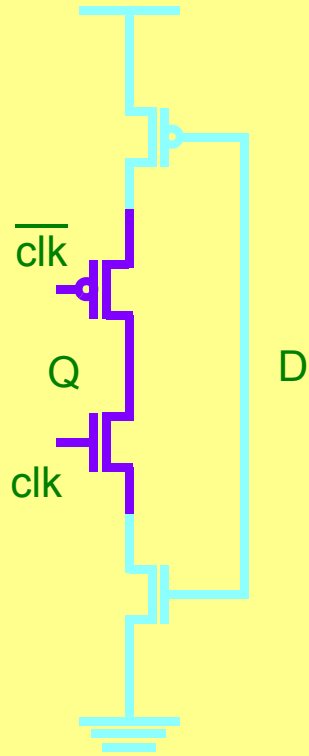


Llaves CMOS

C²MOS MS



Señales de reloj generadas localmente



Introducción

Configuraciones edge-triggered

Configuraciones maestro-esclavo

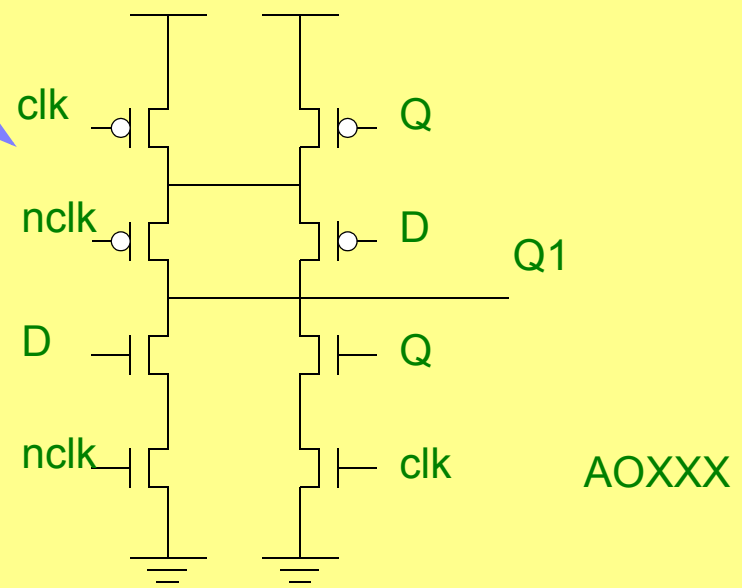
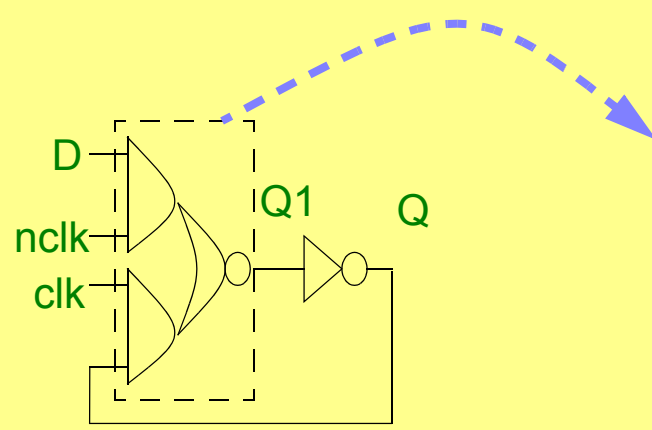
Configuraciones híbridas

Introducción

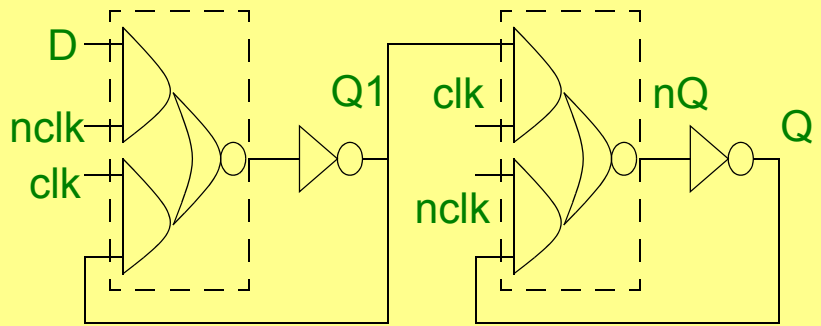
Configuraciones edge-triggered

Configuraciones maestro-esclavo

Configuraciones híbridas



MAESTRO-ESCLAVO CON CELDAS ESTÁNDARES



$$Q1 = (D \text{ and } nclk) \text{ or } (clk \text{ and } Q1)$$

$$Q = (Q1 \text{ and } clk) \text{ or } (nclk \text{ and } Q)$$

Facilidad de diseño

Necesidad del inversor de salida

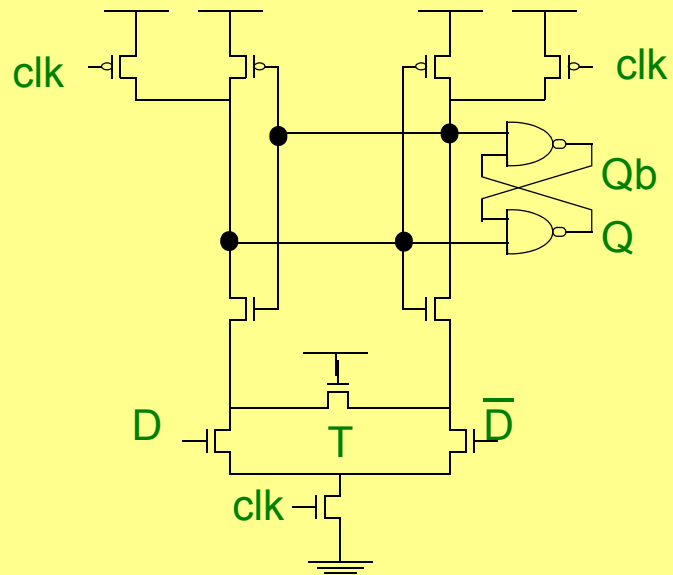
SAFF (Sense-Amplifier Flip-Flop) PROCESADOR STRONGARM 110

Introducción

Configuraciones
edge-triggered

Configuraciones
maestro-esclavo

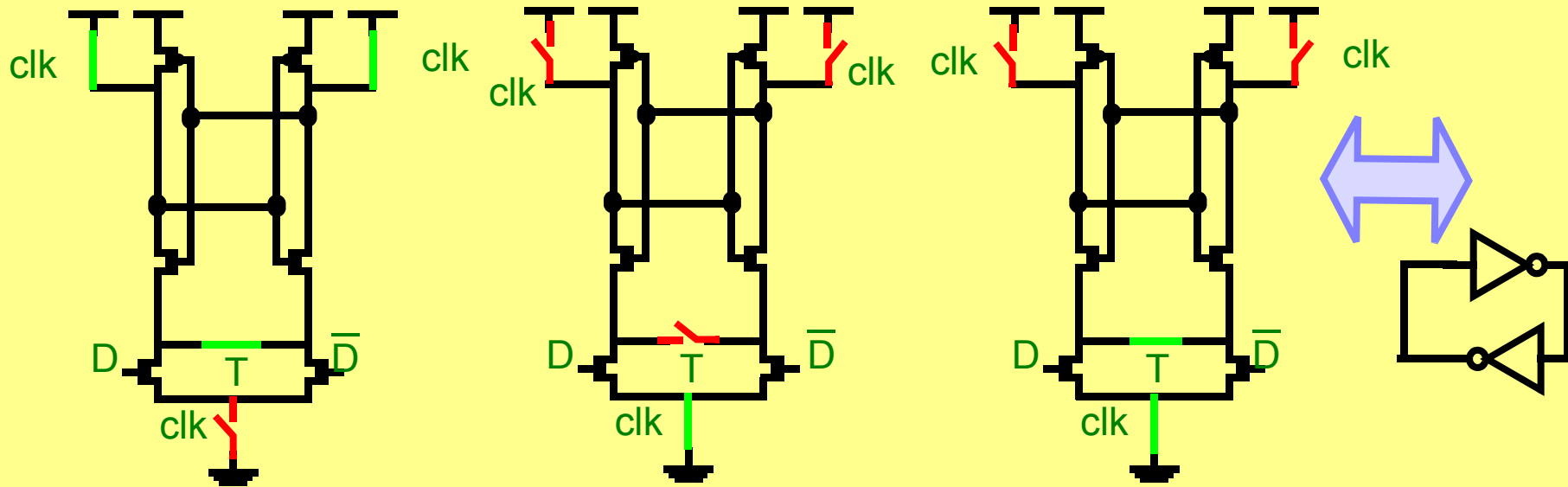
Configuraciones
híbridas



Posibilidad de lógica empotrada

Intervalo de transparencia igual al retraso del transistor T

Mayor contribución debido al latch RS



clk = '0'
Almacenamiento en el latch RS

clk sube
Q = D

clk = '1'
Almacenamiento en la estructura diferencial