

Miniproyecto I

Diseño microelectrónico de un multiplicador de cuatro bits

1.1. Introducción

Un multiplicador es un circuito que multiplica dos números. Dicho sistema forma la base de cualquier circuito aritmético. Este hecho, unido a que suele ser el bloque limitante en velocidad y tamaño, ha supuesto la cantidad de arquitecturas diferentes para llevar a cabo este procesado de señal.

El objetivo de este miniproyecto consiste en la implementación hardware de un multiplicador 4x4, llegando hasta su layout y su posterior simulación para verificar el correcto funcionamiento.

1.2. Problema

La resolución del miniproyecto consistirá en la resolución de los siguientes apartados:

- Realizar una revisión bibliográfica del multiplicador *ripple carry* (rizado de acarreo).
- Modelar en VHDL los elementos que componen el multiplicador. Mostrar dichos modelos, así como las formas de onda de su comportamiento. En la simulación, considerar todas las combinaciones de señales de entrada.
- Modelar en VHDL el multiplicador a partir de los elementos del punto anterior. Mostrar dicho modelo, así como las formas de onda de su comportamiento. En la simulación mostrada, considerar sólo el caso en que los dos datos a multiplicar sean iguales.
- Realizar la tarea de síntesis del multiplicador del punto anterior. Mostrar el esquema tecnológico, así como indicar los diferentes elementos necesarios y sus operaciones.
- Realizar una revisión bibliográfica de la familia lógica CPL (*Complementary Pass-transistor Logic*). Implementar un programa software que obtenga el árbol de transistores de paso a partir de un BDD (siguiendo el algoritmo o uno similar visto en teoría). Utilizando dicho programa, obtener un esquema software de el/los elemento/s obtenidos en el punto cuarto.
Nota: utilizar como dimensiones nominales $w_n = 0.9u$, $l_n = 0.6u$, $w_p = 3.6u$, $l_p = 0.6u$
Nota: utilizar como dimensiones para transistores débiles $w_n = l_n = w_p = l_p = 1u$
- Realizar el layout de el/los elemento/s, cuyos esquemas se obtuvieron en el punto anterior. Mostrar tanto el layout de dicho/s elemento/s, así como las simulaciones respectivas.
- Realizar una revisión bibliográfica del algoritmo de clustering uniforme para la colocación de componentes electrónicos. Implementar vía software el algoritmo anterior. Utilizar dicho programa para obtener una colocación óptima del multiplicador.

- Realizar una revisión bibliográfica del algoritmo de rutado del laberinto (*maze*). Implementar vía software dicho algoritmo, y utilizarlo para obtener un rutado del multiplicador.

Nota: En cada una de las revisiones, incluir un mínimo de cinco referencias.

Nota: Algunas referencias que os pueden ser interesantes son las siguientes:

- <http://www.iberchip.org/iberchip2004/articles/79-2-JAIMEVELASCO-VELASCO5-MULTIPLICADORES.PDF>
- <http://ieeexplore.ieee.org/iel1/4/10894/00509865.pdf?arnumber=509865>
(descargar desde la red de la universidad)
- <http://ieeexplore.ieee.org/iel1/4/13087/00597298.pdf?arnumber=597298>
(descargar desde la red de la universidad)
- <http://www-lsi.die.upm.es/lsi/Members/marisa/dase.html#docCADE>

Miniproyecto II

Diseño microelectrónico de un multiplicador de cuatro bits

2.1. Introducción

Un multiplicador es un circuito que multiplica dos números. Dicho sistema forma la base de cualquier circuito aritmético. Este hecho, unido a que suele ser el bloque limitante en velocidad y tamaño, ha supuesto la cantidad de arquitecturas diferentes para llevar a cabo este procesado de señal.

El objetivo de este miniproyecto consiste en la implementación hardware de un multiplicador 4x4, llegando hasta su layout y su posterior simulación para verificar el correcto funcionamiento.

2.2. Problema

La resolución del miniproyecto consistirá en la resolución de los siguientes apartados:

- Realizar una revisión bibliográfica del multiplicador *carry save* (acarreo guardado).
- Modelar en VHDL los elementos que componen el multiplicador. Mostrar dichos modelos, así como las formas de onda de su comportamiento. En la simulación, considerar todas las combinaciones de señales de entrada.
- Modelar en VHDL el multiplicador a partir de los elementos del punto anterior. Mostrar dicho modelo, así como las formas de onda de su comportamiento. En la simulación mostrada, considerar sólo el caso en que los dos datos a multiplicar sean iguales.
- Realizar la tarea de síntesis del multiplicador del punto anterior. Mostrar el esquema tecnológico, así como indicar los diferentes elementos necesarios y sus operaciones.
- Realizar una revisión bibliográfica de la familia lógica LEAP (*LEAn integration with Pass-transistor logic* o *single-rail pass-transistor logic*). Implementar un programa software que obtenga el árbol de transistores de paso a partir de un BDD (siguiendo el algoritmo o uno similar visto en teoría). Utilizando dicho programa, obtener un esquema software de el/los elemento/s obtenidos en el punto cuarto.
Nota: utilizar como dimensiones nominales $w_n = 0.9u$, $l_n = 0.6u$, $w_p = 3.6u$, $l_p = 0.6u$
Nota: utilizar como dimensiones para transistores débiles $w_n = l_n = w_p = l_p = 1u$
- Realizar el layout de el/los elemento/s, cuyos esquemas se obtuvieron en el punto anterior. Mostrar tanto el layout de dicho/s elemento/s, así como las simulaciones respectivas.
- Realizar una revisión bibliográfica del algoritmo clustering basado en fuerzas para la colocación de componentes electrónicos. Implementar vía software el algoritmo anterior. Utilizar dicho programa para obtener una colocación óptima del multiplicador.

- Realizar una revisión bibliográfica del algoritmo de rutado LEA (*Left Edge Algorithm*). Implementar vía software dicho algoritmo, y utilizarlo para obtener un rutado del multiplicador.

Nota: En cada una de las revisiones, incluir un mínimo de cinco referencias.

Nota: Algunas referencias que os pueden ser interesantes son las siguientes:

- <http://www.iberchip.org/iberchip2004/articles/79-2-JAIMEVELASCO-VELASCO5-MULTIPLICADORES.PDF>
- <http://ieeexplore.ieee.org/iel1/4/10894/00509865.pdf?arnumber=509865>
(descargar desde la red de la universidad)
- <http://ieeexplore.ieee.org/iel1/4/13087/00597298.pdf?arnumber=597298>
(descargar desde la red de la universidad)
- <http://www-lsi.die.upm.es/lsi/Members/marisa/dase.html#docCADE>

Miniproyecto III

Diseño microelectrónico de un multiplicador de cuatro bits

3.1. Introducción

Un multiplicador es un circuito que multiplica dos números. Dicho sistema forma la base de cualquier circuito aritmético. Este hecho, unido a que suele ser el bloque limitante en velocidad y tamaño, ha supuesto la cantidad de arquitecturas diferentes para llevar a cabo este procesado de señal.

El objetivo de este miniproyecto consiste en la implementación hardware de un multiplicador 4x4, llegando hasta su layout y su posterior simulación para verificar el correcto funcionamiento.

3.2. Problema

La resolución del miniproyecto consistirá en la resolución de los siguientes apartados:

- Realizar una revisión bibliográfica del multiplicador paralelo basado en el algoritmo de Booth.
- Modelar en VHDL los elementos que componen el multiplicador. Mostrar dichos modelos, así como las formas de onda de su comportamiento. En la simulación, considerar todas las combinaciones de señales de entrada.
- Modelar en VHDL el multiplicador a partir de los elementos del punto anterior. Mostrar dicho modelo, así como las formas de onda de su comportamiento. En la simulación mostrada, considerar sólo el caso en que los dos datos a multiplicar sean iguales.
- Realizar la tarea de síntesis del multiplicador del punto anterior. Mostrar el esquema tecnológico, así como indicar los diferentes elementos necesarios y sus operaciones.
- Realizar una revisión bibliográfica de la familia lógica EEPL (Energy Economized Pass-transistor Logic). Implementar un programa software que obtenga el árbol de transistores de paso a partir de un BDD (siguiendo el algoritmo o uno similar visto en teoría). Utilizando dicho programa, obtener un esquema software de el/los elemento/s obtenidos en el punto cuarto.

Nota: utilizar como dimensiones nominales $w_n = 0.9u$, $l_n = 0.6u$, $w_p = 3.6u$, $l_p = 0.6u$

Nota: utilizar como dimensiones para transistores débiles $w_n = l_n = w_p = l_p = 1u$

- Realizar el layout de el/los elemento/s, cuyos esquemas se obtuvieron en el punto anterior. Mostrar tanto el layout de dicho/s elemento/s, así como las simulaciones respectivas.
- Realizar una revisión bibliográfica del algoritmo de corte mínimo (*min-cut*) para la colocación de componentes electrónicos. Implementar vía software el algoritmo anterior. Utilizar dicho programa para obtener una colocación óptima del multiplicador.

- Realizar una revisión bibliográfica del algoritmo de rutado YACR2 (*Yet Another Channel Router*). Implementar vía software dicho algoritmo, y utilizarlo para obtener un rutado del multiplicador.

Nota: En cada una de las revisiones, incluir un mínimo de cinco referencias.

Nota: Algunas referencias que os pueden ser interesantes son las siguientes:

- <http://www.iberchip.org/iberchip2004/articles/79-2-JAIMEVELASCO-VELASCO5-MULTIPLICADORES.PDF>
- <http://ieeexplore.ieee.org/iel1/4/10894/00509865.pdf?arnumber=509865>
(descargar desde la red de la universidad)
- <http://ieeexplore.ieee.org/iel1/4/13087/00597298.pdf?arnumber=597298>
(descargar desde la red de la universidad)
- <http://www-lsi.die.upm.es/lsi/Members/marisa/dase.html#docCADE>

Miniproyecto IV

Diseño microelectrónico de un multiplicador de cuatro bits

4.1. Introducción

Un multiplicador es un circuito que multiplica dos números. Dicho sistema forma la base de cualquier circuito aritmético. Este hecho, unido a que suele ser el bloque limitante en velocidad y tamaño, ha supuesto la cantidad de arquitecturas diferentes para llevar a cabo este procesado de señal.

El objetivo de este miniproyecto consiste en la implementación hardware de un multiplicador 4x4, llegando hasta su layout y su posterior simulación para verificar el correcto funcionamiento.

4.2. Problema

La resolución del miniproyecto consistirá en la resolución de los siguientes apartados:

- Realizar una revisión bibliográfica del multiplicador de Baugh-Wooley.
- Modelar en VHDL los elementos que componen el multiplicador. Mostrar dichos modelos, así como las formas de onda de su comportamiento. En la simulación, considerar todas las combinaciones de señales de entrada.
- Modelar en VHDL el multiplicador a partir de los elementos del punto anterior. Mostrar dicho modelo, así como las formas de onda de su comportamiento. En la simulación mostrada, considerar sólo el caso en que los dos datos a multiplicar sean iguales.
- Realizar la tarea de síntesis del multiplicador del punto anterior. Mostrar el esquema tecnológico, así como indicar los diferentes elementos necesarios y sus operaciones.
- Realizar una revisión bibliográfica de la familia lógica SRPL (Swing Restored Pass-transistor Logic). Implementar un programa software que obtenga el árbol de transistores de paso a partir de un BDD (siguiendo el algoritmo o uno similar visto en teoría). Utilizando dicho programa, obtener un esquema software de el/los elemento/s obtenidos en el punto cuarto.

Nota: utilizar como dimensiones nominales $w_n = 0.9u$, $l_n = 0.6u$, $w_p = 3.6u$, $l_p = 0.6u$

Nota: utilizar como dimensiones para transistores débiles $w_n = l_n = w_p = l_p = 1u$

- Realizar el layout de el/los elemento/s, cuyos esquemas se obtuvieron en el punto anterior. Mostrar tanto el layout de dicho/s elemento/s, así como las simulaciones respectivas.
- Realizar una revisión bibliográfica del algoritmo clustering basado en fuerzas para la colocación de componentes electrónicos. Implementar vía software el algoritmo anterior. Utilizar dicho programa para obtener una colocación óptima del multiplicador.

- Realizar una revisión bibliográfica del algoritmo de rutado basado en cliques. Implementar vía software dicho algoritmo, y utilizarlo para obtener un rutado del multiplicador.

Nota: En cada una de las revisiones, incluir un mínimo de cinco referencias.

Nota: Algunas referencias que os pueden ser interesantes son las siguientes:

- <http://www.iberchip.org/iberchip2004/articles/79-2-JAIMEVELASCO-VELASCO5-MULTIPLICADORES.PDF>
- <http://ieeexplore.ieee.org/iel1/4/10894/00509865.pdf?arnumber=509865>
(descargar desde la red de la universidad)
- <http://ieeexplore.ieee.org/iel1/4/13087/00597298.pdf?arnumber=597298>
(descargar desde la red de la universidad)
- <http://www-lsi.die.upm.es/lsi/Members/marisa/dase.html#docCADE>

Miniproyecto V

Diseño microelectrónico de un multiplicador de cuatro bits

5.1. Introducción

Un multiplicador es un circuito que multiplica dos números. Dicho sistema forma la base de cualquier circuito aritmético. Este hecho, unido a que suele ser el bloque limitante en velocidad y tamaño, ha supuesto la cantidad de arquitecturas diferentes para llevar a cabo este procesado de señal.

El objetivo de este miniproyecto consiste en la implementación hardware de un multiplicador 4x4, llegando hasta su layout y su posterior simulación para verificar el correcto funcionamiento.

5.2. Problema

La resolución del miniproyecto consistirá en la resolución de los siguientes apartados:

- Realizar una revisión bibliográfica del multiplicador de Braun.
- Modelar en VHDL los elementos que componen el multiplicador. Mostrar dichos modelos, así como las formas de onda de su comportamiento. En la simulación, considerar todas las combinaciones de señales de entrada.
- Modelar en VHDL el multiplicador a partir de los elementos del punto anterior. Mostrar dicho modelo, así como las formas de onda de su comportamiento. En la simulación mostrada, considerar sólo el caso en que los dos datos a multiplicar sean iguales.
- Realizar la tarea de síntesis del multiplicador del punto anterior. Mostrar el esquema tecnológico, así como indicar los diferentes elementos necesarios y sus operaciones.
- Realizar una revisión bibliográfica de la familia lógica PPL (Push-pull Pass-transistor Logic). Implementar un programa software que obtenga el árbol de transistores de paso a partir de un BDD (siguiendo el algoritmo o uno similar visto en teoría). Utilizando dicho programa, obtener un esquema software de el/los elemento/s obtenidos en el punto cuarto.
Nota: utilizar como dimensiones nominales $w_n = 0.9u$, $l_n = 0.6u$, $w_p = 3.6u$, $l_p = 0.6u$
Nota: utilizar como dimensiones para transistores débiles $w_n = l_n = w_p = l_p = 1u$
- Realizar el layout de el/los elemento/s, cuyos esquemas se obtuvieron en el punto anterior. Mostrar tanto el layout de dicho/s elemento/s, así como las simulaciones respectivas.
- Realizar una revisión bibliográfica del algoritmo de corte mínimo (*min-cut*) para la colocación de componentes electrónicos. Implementar vía software el algoritmo anterior. Utilizar dicho programa para obtener una colocación óptima del multiplicador.

- Realizar una revisión bibliográfica del algoritmo de rutado de laberinto (*maze*). Implementar vía software dicho algoritmo, y utilizarlo para obtener un rutado del multiplicador.

Nota: En cada una de las revisiones, incluir un mínimo de cinco referencias.

Nota: Algunas referencias que os pueden ser interesantes son las siguientes:

- <http://www.iberchip.org/iberchip2004/articles/79-2-JAIMEVELASCO-VELASCO5-MULTIPLICADORES.PDF>
- <http://ieeexplore.ieee.org/iel1/4/10894/00509865.pdf?arnumber=509865>
(descargar desde la red de la universidad)
- <http://ieeexplore.ieee.org/iel1/4/13087/00597298.pdf?arnumber=597298>
(descargar desde la red de la universidad)
- <http://www-lsi.die.upm.es/lsi/Members/marisa/dase.html#docCADE>

Miniproyecto VI

Diseño microelectrónico de un multiplicador de cuatro bits

6.1. Introducción

Un multiplicador es un circuito que multiplica dos números. Dicho sistema forma la base de cualquier circuito aritmético. Este hecho, unido a que suele ser el bloque limitante en velocidad y tamaño, ha supuesto la cantidad de arquitecturas diferentes para llevar a cabo este procesado de señal.

El objetivo de este miniproyecto consiste en la implementación hardware de un multiplicador 4x4, llegando hasta su layout y su posterior simulación para verificar el correcto funcionamiento.

6.2. Problema

La resolución del miniproyecto consistirá en la resolución de los siguientes apartados:

- Realizar una revisión bibliográfica del multiplicador de Wallace.
- Modelar en VHDL los elementos que componen el multiplicador. Mostrar dichos modelos, así como las formas de onda de su comportamiento. En la simulación, considerar todas las combinaciones de señales de entrada.
- Modelar en VHDL el multiplicador a partir de los elementos del punto anterior. Mostrar dicho modelo, así como las formas de onda de su comportamiento. En la simulación mostrada, considerar sólo el caso en que los dos datos a multiplicar sean iguales.
- Realizar la tarea de síntesis del multiplicador del punto anterior. Mostrar el esquema tecnológico, así como indicar los diferentes elementos necesarios y sus operaciones.
- Realizar una revisión bibliográfica de la familia lógica DPL (*Double Pass-transistor Logic*). Implementar un programa software que obtenga el árbol de transistores de paso a partir de un BDD (siguiendo el algoritmo o uno similar visto en teoría). Utilizando dicho programa, obtener un esquema software de el/los elemento/s obtenidos en el punto cuarto.
Nota: utilizar como dimensiones nominales $w_n = 0.9u$, $l_n = 0.6u$, $w_p = 3.6u$, $l_p = 0.6u$
Nota: utilizar como dimensiones para transistores débiles $w_n = l_n = w_p = l_p = 1u$
- Realizar el layout de el/los elemento/s, cuyos esquemas se obtuvieron en el punto anterior. Mostrar tanto el layout de dicho/s elemento/s, así como las simulaciones respectivas.
- Realizar una revisión bibliográfica del algoritmo de clustering uniforme para la colocación de componentes electrónicos. Implementar vía software el algoritmo anterior. Utilizar dicho programa para obtener una colocación óptima del multiplicador.

- Realizar una revisión bibliográfica del algoritmo de rutado LEA (*Left Edge Algorithm*). Implementar vía software dicho algoritmo, y utilizarlo para obtener un rutado del multiplicador.

Nota: En cada una de las revisiones, incluir un mínimo de cinco referencias.

Nota: Algunas referencias que os pueden ser interesantes son las siguientes:

- <http://www.iberchip.org/iberchip2004/articles/79-2-JAIMEVELASCO-VELASCO5-MULTIPLICADORES.PDF>
- <http://ieeexplore.ieee.org/iel1/4/10894/00509865.pdf?arnumber=509865>
(descargar desde la red de la universidad)
- <http://ieeexplore.ieee.org/iel1/4/13087/00597298.pdf?arnumber=597298>
(descargar desde la red de la universidad)
- <http://www-lsi.die.upm.es/lsi/Members/marisa/dase.html#docCADE>

Miniproyecto VII

Diseño microelectrónico de un multiplicador de cuatro bits

7.1. Introducción

Un multiplicador es un circuito que multiplica dos números. Dicho sistema forma la base de cualquier circuito aritmético. Este hecho, unido a que suele ser el bloque limitante en velocidad y tamaño, ha supuesto la cantidad de arquitecturas diferentes para llevar a cabo este procesado de señal.

El objetivo de este miniproyecto consiste en la implementación hardware de un multiplicador 4x4, llegando hasta su layout y su posterior simulación para verificar el correcto funcionamiento.

7.2. Problema

La resolución del miniproyecto consistirá en la resolución de los siguientes apartados:

- Realizar una revisión bibliográfica del multiplicador paralelo basado en el algoritmo de Booth.
- Modelar en VHDL los elementos que componen el multiplicador. Mostrar dichos modelos, así como las formas de onda de su comportamiento. En la simulación, considerar todas las combinaciones de señales de entrada.
- Modelar en VHDL el multiplicador a partir de los elementos del punto anterior. Mostrar dicho modelo, así como las formas de onda de su comportamiento. En la simulación mostrada, considerar sólo el caso en que los dos datos a multiplicar sean iguales.
- Realizar la tarea de síntesis del multiplicador del punto anterior. Mostrar el esquema tecnológico, así como indicar los diferentes elementos necesarios y sus operaciones.
- Realizar una revisión bibliográfica de la familia lógica CPL (*Complementary Pass-transistor Logic*). Implementar un programa software que obtenga el árbol de transistores de paso a partir de un BDD (siguiendo el algoritmo o uno similar visto en teoría). Utilizando dicho programa, obtener un esquema software de el/los elemento/s obtenidos en el punto cuarto.

Nota: utilizar como dimensiones nominales $w_n = 0.9u$, $l_n = 0.6u$, $w_p = 3.6u$, $l_p = 0.6u$

Nota: utilizar como dimensiones para transistores débiles $w_n = l_n = w_p = l_p = 1u$

- Realizar el layout de el/los elemento/s, cuyos esquemas se obtuvieron en el punto anterior. Mostrar tanto el layout de dicho/s elemento/s, así como sus simulaciones .
- Realizar una revisión bibliográfica del algoritmo de clustering basado en fuerzas para la colocación de componentes electrónicos. Implementar vía software el algoritmo anterior. Utilizar dicho programa para obtener una colocación óptima del multiplicador.

- Realizar una revisión bibliográfica del algoritmo de rutado YACR2 (*Yet Another Channel Router*). Implementar vía software dicho algoritmo, y utilizarlo para obtener un rutado del multiplicador.

Nota: En cada una de las revisiones, incluir un mínimo de cinco referencias.

Nota: Algunas referencias que os pueden ser interesantes son las siguientes:

- <http://www.iberchip.org/iberchip2004/articles/79-2-JAIMEVELASCO-VELASCO5-MULTIPLICADORES.PDF>
- <http://ieeexplore.ieee.org/iel1/4/10894/00509865.pdf?arnumber=509865>
(descargar desde la red de la universidad)
- <http://ieeexplore.ieee.org/iel1/4/13087/00597298.pdf?arnumber=597298>
(descargar desde la red de la universidad)
- <http://www-lsi.die.upm.es/lsi/Members/marisa/dase.html#docCADE>

Miniproyecto VIII

Diseño microelectrónico de un multiplicador de cuatro bits

8.1. Introducción

Un multiplicador es un circuito que multiplica dos números. Dicho sistema forma la base de cualquier circuito aritmético. Este hecho, unido a que suele ser el bloque limitante en velocidad y tamaño, ha supuesto la cantidad de arquitecturas diferentes para llevar a cabo este procesado de señal.

El objetivo de este miniproyecto consiste en la implementación hardware de un multiplicador 4x4, llegando hasta su layout y su posterior simulación para verificar el correcto funcionamiento.

8.2. Problema

La resolución del miniproyecto consistirá en la resolución de los siguientes apartados:

- Realizar una revisión bibliográfica del multiplicador *ripple carry* (rizado de acarreo).
- Modelar en VHDL los elementos que componen el multiplicador. Mostrar dichos modelos, así como las formas de onda de su comportamiento. En la simulación, considerar todas las combinaciones de señales de entrada.
- Modelar en VHDL el multiplicador a partir de los elementos del punto anterior. Mostrar dicho modelo, así como las formas de onda de su comportamiento. En la simulación mostrada, considerar sólo el caso en que los dos datos a multiplicar sean iguales.
- Realizar la tarea de síntesis del multiplicador del punto anterior. Mostrar el esquema tecnológico, así como indicar los diferentes elementos necesarios y sus operaciones.
- Realizar una revisión bibliográfica de la familia lógica LEAP (*LEAn integration with Pass-transistor logic* o *single-rail pass-transistor logic*). Implementar un programa software que obtenga el árbol de transistores de paso a partir de un BDD (siguiendo el algoritmo o uno similar visto en teoría). Utilizando dicho programa, obtener un esquema software de el/los elemento/s obtenidos en el punto cuarto.
Nota: utilizar como dimensiones nominales $w_n = 0.9u$, $l_n = 0.6u$, $w_p = 3.6u$, $l_p = 0.6u$
Nota: utilizar como dimensiones para transistores débiles $w_n = l_n = w_p = l_p = 1u$
- Realizar el layout de el/los elemento/s, cuyos esquemas se obtuvieron en el punto anterior. Mostrar tanto el layout de dicho/s elemento/s, así como las simulaciones respectivas.
- Realizar una revisión bibliográfica del algoritmo de corte mínimo (*min-cut*) para la colocación de componentes electrónicos. Implementar vía software el algoritmo anterior. Utilizar dicho programa para obtener una colocación óptima del multiplicador.

- Realizar una revisión bibliográfica del algoritmo de rutado LEA (*Left Edge Algorithm*). Implementar vía software dicho algoritmo, y utilizarlo para obtener un rutado del multiplicador.

Nota: En cada una de las revisiones, incluir un mínimo de cinco referencias.

Nota: Algunas referencias que os pueden ser interesantes son las siguientes:

- <http://www.iberchip.org/iberchip2004/articles/79-2-JAIMEVELASCO-VELASCO5-MULTIPLICADORES.PDF>
- <http://ieeexplore.ieee.org/iel1/4/10894/00509865.pdf?arnumber=509865>
(descargar desde la red de la universidad)
- <http://ieeexplore.ieee.org/iel1/4/13087/00597298.pdf?arnumber=597298>
(descargar desde la red de la universidad)
- <http://www-lsi.die.upm.es/lsi/Members/marisa/dase.html#docCADE>

Miniproyecto IX

Diseño microelectrónico de un multiplicador de cuatro bits

9.1. Introducción

Un multiplicador es un circuito que multiplica dos números. Dicho sistema forma la base de cualquier circuito aritmético. Este hecho, unido a que suele ser el bloque limitante en velocidad y tamaño, ha supuesto la cantidad de arquitecturas diferentes para llevar a cabo este procesado de señal.

El objetivo de este miniproyecto consiste en la implementación hardware de un multiplicador 4x4, llegando hasta su layout y su posterior simulación para verificar el correcto funcionamiento.

9.2. Problema

La resolución del miniproyecto consistirá en la resolución de los siguientes apartados:

- Realizar una revisión bibliográfica del multiplicador *carry save* (acarreo guardado).
- Modelar en VHDL los elementos que componen el multiplicador. Mostrar dichos modelos, así como las formas de onda de su comportamiento. En la simulación, considerar todas las combinaciones de señales de entrada.
- Modelar en VHDL el multiplicador a partir de los elementos del punto anterior. Mostrar dicho modelo, así como las formas de onda de su comportamiento. En la simulación mostrada, considerar sólo el caso en que los dos datos a multiplicar sean iguales.
- Realizar la tarea de síntesis del multiplicador del punto anterior. Mostrar el esquema tecnológico, así como indicar los diferentes elementos necesarios y sus operaciones.
- Realizar una revisión bibliográfica de la familia lógica LEAP (*LEAn integration with Pass-transistor logic* o *single-rail pass-transistor logic*). Implementar un programa software que obtenga el árbol de transistores de paso a partir de un BDD (siguiendo el algoritmo o uno similar visto en teoría). Utilizando dicho programa, obtener un esquema software de el/los elemento/s obtenidos en el punto cuarto.
Nota: utilizar como dimensiones nominales $w_n = 0.9u$, $l_n = 0.6u$, $w_p = 3.6u$, $l_p = 0.6u$
Nota: utilizar como dimensiones para transistores débiles $w_n = l_n = w_p = l_p = 1u$
- Realizar el layout de el/los elemento/s, cuyos esquemas se obtuvieron en el punto anterior. Mostrar tanto el layout de dicho/s elemento/s, así como las simulaciones respectivas.
- Realizar una revisión bibliográfica del algoritmo de clustering uniforme para la colocación de componentes electrónicos. Implementar vía software el algoritmo anterior. Utilizar dicho programa para obtener una colocación óptima del multiplicador.

- Realizar una revisión bibliográfica del algoritmo de rutado de laberinto (*maze*). Implementar vía software dicho algoritmo, y utilizarlo para obtener un rutado del multiplicador.

Nota: En cada una de las revisiones, incluir un mínimo de cinco referencias.

Nota: Algunas referencias que os pueden ser interesantes son las siguientes:

- <http://www.iberchip.org/iberchip2004/articles/79-2-JAIMEVELASCO-VELASCO5-MULTIPLICADORES.PDF>
- <http://ieeexplore.ieee.org/iel1/4/10894/00509865.pdf?arnumber=509865>
(descargar desde la red de la universidad)
- <http://ieeexplore.ieee.org/iel1/4/13087/00597298.pdf?arnumber=597298>
(descargar desde la red de la universidad)
- <http://www-lsi.die.upm.es/lsi/Members/marisa/dase.html#docCADE>